



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Schloesser, et al.                      Docket No.: INF-135  
Serial No.: 10/777,128                              Art Unit: 2818  
Filed: February 13, 2004                          Examiner: TBD  
For: Method of Fabricating and Architecture for Vertical Transistor Cells and  
Transistor-Controlled Memory Cells

Mail Stop Amendment  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**Transmittal of Certified Copy of Priority Document**

Dear Sir:

Attached please find a certified copy of the foreign application from which  
priority is claimed for this case:

Country: Germany  
Application Number: 103 06 281.5  
Filing Date: February 14, 2003

Respectfully submitted,

Ira S. Matsil  
Reg. No. 35,272  
Attorney for Applicants

Slater & Matsil, L.L.P.  
17950 Preston Rd., Suite 1000  
Dallas, TX 75252  
Tel: 972-732-1001  
Fax: 972-732-9218

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 103 06 281.5

**Anmeldetag:** 14. Februar 2003

**Anmelder/Inhaber:** Infineon Technologies AG, 81669 München/DE

**Bezeichnung:** Anordnung und Verfahren zur Herstellung von vertikalen Transistorzellen und transistorgesteuerten Speicherzellen

**IPC:** H 01 L 27/105

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 20. Februar 2004  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

CERTIFIED COPY OF  
PRIORITY DOCUMENT

A handwritten signature in black ink, likely of the President of the German Patent and Trademark Office.

Zuf...

# MÜLLER · HOFFMANN & PARTNER - PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17  
D-81667 München

Anwaltsakte: 12423

Ko/Kg/gi

Anmelderzeichen: 2002P17715 DE  
2002 E 17713 DE  
2002 E 17710 DE  
2002 E 50287 DE

14.02.2003

Infineon Technologies AG  
St.-Martin-Str. 53  
81669 München

---

**Anordnung und Verfahren zur Herstellung von vertikalen Transistorzellen und  
transistorgesteuerten Speicherzellen**

---

---

Beschreibung

Anordnung und Verfahren zur Herstellung von vertikalen Transistorzellen und transistorgesteuerten Speicherzellen

5

Die Erfindung betrifft eine Anordnung von vertikalen Transistorzellen in einem Transistorzellenfeld, wobei die Transistorzellen in einem Substrat ausgebildeten Transistorzellenfeld in einer Transistorebene in einer x-Richtung in von aktiven Gräben voneinander separierten Zeilen und in einer zur x-Richtung senkrechten y-Richtung in von Trenngräben separierten Spalten angeordnet sind und jeweils einen unteren Source/Drain-Anschlussbereich, in einer im Wesentlichen zur Transistorebene vertikalen Richtung dazu einen oberen Source/Drain-Anschlussbereich und ein zwischen dem unteren Source/Drain-Anschlussbereich und dem oberen Source/Drain-Anschlussbereich angeordnetes aktives Gebiet zur Ausbildung eines leitfähigen, durch ein Potential einer durch ein Gatedielektrikum vom aktiven Gebiet isolierten Gateelektrode steuerbaren Kanals zwischen den beiden Source/Drain-Anschlussbereichen aufweisen. Die Erfindung betrifft ferner Verfahren zur Herstellung von vertikalen Transistorzellen.

15

20

25

30

35

Speicherzellen heute üblicher dynamischer Schreiblesespeicher (dynamic random access memories, DRAMs) werden üblicherweise als 1T1C-Speicherzellen mit jeweils einem Speicherkondensator zur Speicherung von Ladungsträgern und einem Auswahltransistor zur Adressierung des Speicherkondensators ausgebildet. Der Auswahltransistor sowie der Speicherkondensator sind dabei in bzw. auf einem Substrat ausgebildet. Bei Speicherzellen vom Typ "trench capacitor" werden die Speicherkondensatoren im Substrat im Wesentlichen unterhalb einer durch die Auswahltransistoren gebildeten Transistorebene und bei Speicherzellen vom Typ "stacked capacitor" im Wesentlichen oberhalb der Transistorebene angeordnet.

Im Zuge einer weiteren Steigerung der Leistungsfähigkeit von DRAMs wird eine Verkleinerung der Strukturgrößen sowie ein möglichst geringer Platzbedarf einer Speicherzelle bezogen auf eine durch die Fertigungstechnologie vorgegebene minimale Strukturgröße F angestrebt. Die Reduzierung der minimalen Strukturgröße erfolgt dabei in lithographiebedingten Schritten. Gut skalierbare Speicherzellenkonzepte sind dabei ohne über eine rein maßstäbliche Verkleinerung der Speicherzellenstrukturen hinausgehende, zusätzliche Änderungen von einer größeren minimalen Strukturgröße auf eine kleinere minimale Strukturgröße übertragbar. Gut skalierbare Speicherzellenkonzepte sind vorteilhaft, da ein Mehraufwand für über rein maßstäbliche Anpassungen hinausgehende Änderungen eines Layouts der Speicherzellenstrukturen bei einem Übergang zu einer kleineren Strukturgröße begrenzt wird.

Zur Verringerung des Platzbedarfes einer Speicherzelle ist es bekannt, den Auswahltransistor in einer zur Transistorebene vertikalen Struktur vorzusehen. Dabei sind die Source/Drain-Anschlussbereiche (S/D junctions) bezogen auf die Transistorebene im Wesentlichen vertikal übereinander angeordnet. Ein durch eine Gateelektrode des Auswahltransistors gesteuerter Kanal wird dann hauptsächlich in einer zur Transistorebene senkrechten Richtung in einem aktiven Gebiet des Auswahltransistors ausgebildet, das zwischen den beiden Source/Drain-Anschlussbereichen des Auswahltransistors vorgesehen ist. Eine Anordnung mit vertikalen Transistorzellen ist beispielsweise aus der US 6,352,894 B1 (Goebel et al.) bekannt und in der Fig. 1, die den Figuren der obigen Patenschrift nachempfunden ist, dargestellt.

Die Fig. 1 zeigt mehrere Transistorzellen 81, die auf einem Substrat 1 angeordnet sind. Jede Transistorzelle 81 weist dabei einen oberen Source/Drain-Anschlussbereich 4 und einen

unteren Source/Drain-Anschlussbereich 2' auf. Zwischen dem oberen 4 und dem unteren 2 Source/Drain-Anschlussbereich ist jeweils ein aktives Gebiet (auch Bodygebiet) 3 ausgebildet. Die Transistorzellen 81 sind jeweils in rechtwinklig zueinander angeordneten Zeilen und Spalten angeordnet, wobei sich  
5 die Zeilen längs einer x-Richtung und die Spalten längs einer zur x-Richtung senkrechten y-Richtung erstrecken. Innerhalb einer Zeile werden jeweils benachbarte Transistorzellen 81 durch schmale Trenngräben 6 separiert. Benachbarte Zeilen werden durch weite, aktive Gräben 5 voneinander getrennt. In den schmalen Trenngräben 6 sind erste Abschnitte von Gateelektroden 52 ausgebildet. Die weiten, aktiven Gräben 5 sind von jeweils zwei voneinander isolierten und jeweils einer der benachbarten Zeilen zugeordneten Wortleitungen 521, 522 durch-  
15 zogen, die zweite Abschnitte der Gateelektroden 52 ausbilden. Über die Wortleitungen 521, 522 sind die jeweils in einer Zeile angeordnete Gateelektroden 52 miteinander leitend verbunden. Die Gateelektrode 52 jeder Transistorzelle 81 umschließt das aktive Gebiet 3 von vier Seiten. Die unteren  
20 Source/Drain-Anschlussbereiche 2 der Transistorzellen 81 sind als Abschnitte einer in einem oberen Bereich durch die aktiven Gräben 5 und die Trenngräben 6 strukturierten Anschlussplatte (buried plate) 21 ausgebildet und miteinander elektrisch leitend verbunden. Die Gateelektrode 52 einer Transistorzelle 81 ist durch ein Gatedielektrikum 51 vom aktiven Gebiet 3 der zugeordneten Transistorzelle 81 isoliert. Eine Isolatorschicht 50 isoliert die Source/Drain-Anschlussbereiche 2, 4 gegen angrenzende leitfähige Strukturen und wird zum Anschluss der oberen Source/Drain-Anschlussbereiche, etwa an  
25 eine Elektrode eines Speicherkondensators, im Verlauf einer weiteren Prozessierung abschnittsweise geöffnet.  
30

Nachteilig an der dargestellten Anordnung von Transistorzellen 81 ist insbesondere, dass die aktiven Gebiete 3 der Transistorzellen 81 elektrisch ohne Anschluss sind.  
35

Wird im Betriebszustand einer Transistorzelle im aktiven Gebiet der Transistorzelle ein durch ein Potential an den Gateelektroden gesteuerter Kanal ausgebildet, so erfolgt in  
5 Transistorzellen ohne elektrischen Anschluss des aktiven Gebietes kein Abfluss von Majoritätsträgern aus dem aktiven Gebiet. Eine Anreicherung von Majoritätsträgern im aktiven Gebiet verändert aber die elektrischen Eigenschaften der Transistorzelle nachteilig. Insbesondere kann durch eine angereicherte Ladung im aktiven Gebiet ein parasitärer Bipolartransistor aktiviert werden, der unter bestimmten Betriebsbedingungen einer Anordnung von Speicherzellen einen Leckstrom etwa zum bzw. vom zum Speicherkondensator orientierten Source/Drain-Anschlussbereich hervorruft (floating body effect).  
15 Dadurch verändert sich eine auf dem Speicherkondensator gespeicherte Ladung und ein durch die Ladung repräsentiertes, in der Speicherzelle gespeichertes Datum wird verfälscht, wenn der Speicherkondensator nicht rechtzeitig nachgeladen wird. Jeder Nachladeprozess erhöht in nachteiliger Weise eine  
20 mittlere Zugriffszeit auf das in der Speicherzelle gespeicherte Datum und die Leistungsaufnahme der Speicherzelle.

Mit einer Anordnung von Transistorzellen, wie sie in der Fig. 1 dargestellt ist, lassen sich mit einer minimalen Strukturgröße  $F$  Speicherzellen mit einem planaren Flächenbedarf von  
25  $4F^2$ , bzw. von  $8F^2$  für Speicherkonzepte mit so genannter Folded-Bitline-Struktur realisieren. Ein zusätzlicher Anschluss für das aktive Gebiet jeder Transistorzelle nach herkömmlicher Art würde den Flächenbedarf der Transistorzelle erheblich vergrößern.  
30

Es ist daher Aufgabe der vorliegenden Erfindung, eine Anordnung für Transistorzellen und Speicherzellen zur Verfügung zu stellen, bei der eine Funktionsbeschränkung der Transistorzellen durch einen Floating-Body-Effekt reduziert ist und der  
35

Flächenbedarf gegenüber herkömmlichen Speicherzellenkonzepten für  $4F^2$ - bzw.  $8F^2$ -Transistor- bzw.  $4F^2$ - bzw.  $8F^2$ -Speicherzellen nicht oder nicht wesentlich erhöht ist. Es ist ferner Aufgabe der vorliegenden Erfindung, ein Verfahren zur Herstellung einer solchen Transistor- bzw. Speicherzelle anzugeben.

Eine die Aufgabe lösende Anordnung von vertikalen Transistorzellen der eingangs genannten Art weist die im kennzeichnenden Teil des Patentanspruchs 1 genannten Merkmale auf. Eine die Aufgabe lösende Anordnung von Speicherzellen geht aus dem Patentanspruch 17 und die Aufgabe lösende Verfahren aus den Patentansprüchen 19, 22 sowie 25 hervor. Vorteilhafte Weiterbildungen ergeben sich jeweils aus den Unteransprüchen.

Vertikale Transistorzellen sind in zunächst bekannter Art in einem Transistorzellenfeld in einer Transistorebene angeordnet. Dabei sind die Transistorzellen in einer x-Richtung in von aktiven Gräben voneinander separierten Zeilen und in einer zur x-Richtung senkrechten y-Richtung in von Trenngräben separierten Spalten angeordnet. Jede Transistorzelle weist einen unteren Source/Drain-Anschlussbereich, einen oberen Source/Drain-Anschlussbereich und ein zwischen dem unteren und dem oberen Source/Drain-Anschlussbereich ausgebildetes aktives Gebiet auf. Im aktiven Gebiet wird im Betriebszustand der Transistorzelle in Abhängigkeit eines Potentials an einer durch ein Gatedielektrikum vom aktiven Gebiet isolierten Gateelektrode eine Ausbildung eines leitfähigen Kanals zwischen den beiden Source/Drain-Anschlussbereichen gesteuert.

Erfindungsgemäß sind nun die aktiven Gebiete mindestens von in der x-Richtung einander benachbarten Transistorzellen miteinander verbunden. Damit ist ein Ladungsträgertransport zwischen den aktiven Gebieten von mindestens jeweils in der x-



Richtung benachbarten Transistorzellen möglich. Floating-Body-Effekte sind vermieden.

5 Bevorzugt sind die Gateelektroden in den aktiven Gräben angeordnet. Die Gateelektroden von jeweils in der x-Richtung benachbarten Transistorzellen sind miteinander verbunden und bilden Wortleitungen aus.

Die Verbindung zwischen den aktiven Gebieten benachbarter Transistorzellen ist auf verschiedene Weise realisierbar. In bevorzugter Weise sind die aktiven Gebiete Abschnitte eines oder mehrerer Schichtkörper. Der Schichtkörper ist dabei in in einem oberen Bereich von den aktiven Gräben und den Trenngräben strukturiert. In einem unteren Bereich verbindet 15 ein Schichtkörper die aktiven Gebiete von mindestens in der x-Richtung einander benachbarten Transistorzellen.

Sind mehrere Schichtkörper zeilenweise ausgebildet, so sind die Schichtkörper bevorzugt zeilenweise in ein an das Transistorzellenfeld anschließendes Anschlussfeld verlängert. 20

Im Bereich des Anschlussfeldes sind die Schichtkörper miteinander verbunden, so dass auch ein Ladungsträgertransport zwischen in y-Richtung benachbarter Transistorzellen möglich 25 ist.

In besonders bevorzugter Weise sind die Schichtkörper einzeln oder gemeinsam mit einer Struktur verbunden, deren Potential im Betriebszustand der Transistorzelle so gesteuert wird, 30 dass eine Anreicherung von Ladungsträgern in den aktiven Gebieten bzw. dem oder den Schichtkörpern vermieden wird. Das Potential ist im einfachsten Fall das Potential eines Trägersubstrats (bulk).

Die unteren Source/Drain-Anschlussbereiche der Transistorzellen sind jeweils mit einer zusammenhängenden Anschlussplatte verbunden oder in besonders bevorzugter Weise jeweils Abschnitte einer mindestens in einem oberen Bereich strukturierten und in einem unteren Bereich zusammenhängenden Anschlussplatte.

Nach einer ersten bevorzugten Ausführungsform der erfindungsgemäßen Anordnung ist dabei die Anschlussplatte in einem oberen Bereich durch die sich längs der x-Richtung erstreckenden aktiven Gräben strukturiert. Im oberen Bereich der Anschlussplatte sind also sich längs der x-Richtung erstreckende, untere Source/Drain-Anschlussbereiche ausgebildet. Die längs der y-Richtung verlaufenden Trenngräben weisen eine geringere Tiefe auf als die aktiven Gräben. Die Schichtkörper sind daher jeweils in einem unteren Bereich unterhalb der Trenngräben zeilenweise zusammenhängend ausgebildet.

In den Trenngräben können weitere Abschnitte der Gateelektroden angeordnet sein. Bevorzugt sind die Trenngräben aber mit einem Isolatormaterial gefüllt. Es ergibt sich dann ein wesentlich vereinfachter Prozessfluss für die Herstellung der Transistoranordnung.

Nach einer zweiten bevorzugten Ausführungsform der erfindungsgemäßen Anordnung weisen die Trenngräben und die aktiven Gräben eine im Wesentlichen gleiche Tiefe auf. Die Anschlussplatte weist wieder in einem oberen Bereich sich längs der x-Achse erstreckende untere Source/Drain-Anschlussbereiche auf, wobei bei dieser Ausführungsform die Source/Drain-Anschlussbereiche im Wesentlichen unterhalb der aktiven Gräben angeordnet sind. Die Schichtkörper sind jeweils unterhalb der aktiven Gebiete zeilenweise zusammenhängend ausgebildet und werden durch die unteren Source/Drain-Anschlussbereiche bzw. die aktiven Gräben voneinander separiert. Der Vorteil dieser

Anordnung liegt in einer vereinfachten Prozessierung, da die unteren Source/Drain-Anschlussbereiche etwa durch Implantation selbstjustiert zu den aktiven Gräben ausgebildet werden können.

5

Die erfindungsgemäße Anordnung ermöglicht den Anschluss der aktiven Gebiete im Rahmen der für einen minimalen Flächenbedarf der Transistorzelle notwendigen Randbedingungen. Bevorzugt weisen also die aktiven Gebiete der Transistorzellen bezogen auf eine fertigungsbedingte minimale Strukturgröße  $F$  parallel zur Transistorebene eine Querschnittsfläche von im Wesentlichen  $1 F^2$  auf. Der Flächenbedarf einer Transistorzelle beträgt dann im Wesentlichen  $4 F^2$ .

- 15 Nach einer weiteren besonders bevorzugten Ausführungsform der erfindungsgemäßen Anordnung ist die Anschlussplatte in einem oberen Bereich sowohl in der x-Richtung als auch in der y-Richtung strukturiert, so dass im oberen Bereich pro Transistorzelle jeweils ein in der x-Richtung und der y-Richtung begrenzter unterer Source/Drain-Anschlussbereich ausgebildet ist. Der Schichtkörper bildet dann über die Ausdehnung des Transistorzellenfeldes im unteren Bereich eine zusammenhängende, von den unteren Source/Drain-Anschlussbereichen durchbrochene Schicht, so dass die aktiven Gebiete sowohl von in der x-Richtung als auch der y-Richtung benachbarter Transistorzellen miteinander verbunden sind.

- 30 Gegenüber den erstgenannten bevorzugten Ausführungsformen weist diese Anordnung ein verbessertes elektrisches Verhalten auf. Da sich der Ladungsträgertransport aus den aktiven Gebieten nicht zeilenweise aufsummiert, bleibt die gegenseitige Beeinflussung von Transistorzellen durch den Ladungsträgertransport durch die aktiven Gebiete vergleichsweise gering.

Ein erfindungsgemäßes Transistorzellenfeld ist etwa zur Anordnung von Auswahltransistoren in einem Speicherzellenfeld geeignet, wobei jede Speicherzelle des Speicherzellenfeldes neben einem Auswahltransistor einen Speicherkondensator zur Speicherung elektrischer Ladung aufweist. Dabei ist der Speicherkondensator jeweils über einen der Source/Drain-Anschlussbereiche mit dem Auswahltransistor verbunden. Bevorzugt ist dabei der Speicherkondensator mit dem oberen Source/Drain-Anschlussbereich des Auswahltransistors verbunden. Es ergibt sich dann für die Speicherzelle eine "stacked capacitor" Ausformung, bei der der Speicherkondensator oberhalb einer von den Auswahltransistoren gebildeten Transistorebene ausgeführt ist. Für eine solche Anordnung ist es auch bekannt, die unteren Source/Drain-Anschlussbereiche als Abschnitte einer im Substrat ausgebildeten Anschlussplatte auszubilden.

Die erfindungsgemäße Anordnung ermöglicht insbesondere durch die besondere Struktur der Wortleitungen einen minimalen Pitch der Bitleitungen. Bei einem Pitch der Wort- und Bitleitungen von je 2 F entsprechend dem zugeordneten Ausführungsbeispiel wird somit der Flächenbedarf der Speicherzelle bei gleichzeitigem Anschluss des aktiven Gebietes auf  $8 F^2$  eingeschränkt. Die erfindungsgemäße Anordnung ermöglicht in dieser Ausbildung auch eine Anordnung von Bit- und Wortleitungen, wie sie für die Folded-Bitline-Verschaltung erforderlich sind.

Bei der erfindungsgemäßen Anordnung weisen die aktiven Gebiete ferner eine Geometrie mit einem in den lateralen Abmessungen großen Aspektverhältnis auf. Sie ist gut skalierbar. Für kleine Strukturgrößen F ist eine vollständige Verarmung der aktiven Gebiete möglich, wodurch die elektrischen Eigenschaften der Transistorzellen erheblich verbessert sind.

Bei einem ersten erfindungsgemäßen Verfahren zur Herstellung von in einem Transistorzellenfeld längs einer x-Richtung in Zeilen und längs einer zur x-Richtung senkrechten y-Richtung in Spalten angeordneten vertikalen Transistorzellen in einem Substrat wird zunächst im Substrat eine leitfähige Anschlussplatte vorgesehen. Auf der leitfähigen Anschlussplatte wird ein Vorläufer-Schichtkörper angeordnet. In einen oberen Bereich des Vorläufer-Schichtkörpers werden sich längs der y-Richtung erstreckende Trenngräben eingebracht, durch die in der x-Richtung benachbarte Transistorzellen voneinander separiert werden. Weiter werden in den Vorläufer-Schichtkörper aktive Gräben eingebracht, die den Vorläufer-Schichtkörper durchschneiden und die Anschlussplatte in einem oberen Bereich strukturieren. Dabei gehen aus dem Vorläufer-Schichtkörper durch die aktiven Gräben separierte Schichtkörper hervor. Aus den oberen Bereichen der Anschlussplatte entstehen untere Source/Drain-Anschlussbereiche. Aus den oberen Bereichen der Schichtkörper gehen zeilenweise über die unteren Bereiche der Schichtkörper miteinander verbundene aktive Gebiete der Transistorzellen hervor.

Dabei wird die Anschlussplatte im Substrat als eine Schicht von einem ersten Leitungstyp und der Vorläufer-Schichtkörper als eine auf der Anschlussplatte angeordneten Schicht von einem dem ersten Leitungstyp entgegen gesetzten zweiten Leitungstyp vorgesehen.

Bevorzugt wird dabei dass als erster Leitungstyp ein n-Leitungstyp und als zweiter Leitungstyp ein p-Leitungstyp vorgesehen. Die Anschlussplatte geht dann etwa aus einer starken n-Dotierung einer Schicht des Substrats hervor, während der Vorläufer-Schichtkörper durch ein epitaktischen Verfahren auf der Anschlussplatte angeordnet wird.

Bei diesem Verfahren erfolgt ein Anschluss der aktiven Gebiete auf besonders einfache Weise dadurch, dass im Wesentlichen die innerhalb einer Zeile angeordneten Transistorzellen separierenden Trenngräben mit einer geringeren Tiefe vorgesehen werden als die aktiven Gräben und die Schichtkörper nicht durchschneiden. Die Schichtkörper, aus deren oberen Bereichen jeweils die aktiven Gebiete ausgebildet werden, werden im unteren Bereich innerhalb einer Zeile nicht durchtrennt.

Auch nach einem zweiten erfindungsgemäßen Verfahren zur Herstellung von in einem Transistorzellenfeld längs einer x-Richtung in Zeilen und längs einer zur x-Richtung senkrechten y-Richtung in Spalten angeordneten vertikalen Transistorzellen in einem Substrat wird zunächst im Substrat eine leitfähige Anschlussplatte vorgesehen, auf der ein Vorläufer-Schichtkörper angeordnet wird.

In einen oberen Bereich des Vorläufer-Schichtkörpers werden längs der x-Richtung verlaufende, aktive Gräben mit einer ersten Weite eingebracht. In unterhalb der aktiven Gräben angeordneten Abschnitten des Vorläufer-Schichtkörpers werden anschließend jeweils sich bis zur Anschlussplatte erstreckende untere Source/Drain-Anschlussbereiche ausgebildet. Dabei gehen aus dem Vorläufer-Schichtkörper durch die aktiven Gräben und die unteren Source/Drain-Anschlussbereiche voneinander separierte Schichtkörper hervor. Aus den oberen Bereichen der Schichtkörper werden zeilenweise über die unteren Bereiche der Schichtkörper miteinander verbundene aktive Gebiete der Transistorzellen ausgebildet. Im Unterschied zum ersten erfindungsgemäßen Verfahren können die in der x-Richtung benachbarte Transistorzellen separierenden Trenngräben dabei mit der selben Tiefe wie die aktiven Gräben vorgesehen werden. Werden dann im weiteren Verlauf der Prozessierung Gateelektrodenstrukturen sowohl in den aktiven Gräben als auch in den Trenngräben vorgesehen, so umfassen die Gateelektro-

denstrukturen das aktive Gebiet zwischen den beiden Source/Drain-Anschlussbereichen in vorteilhafter Weise nahezu vollständig von vier Seiten.

- 5 Bevorzugt erfolgt dabei das Ausbilden der unteren Source/Drain-Anschlussbereiche selektiv in unterhalb der aktiven Gräben angeordneten Abschnitten des Vorläufer-Schichtkörpers. Dazu werden in den oberen Bereich der Schichtkörper jeweils die längs der y-Richtung verlaufenden Trenngräben mit einer gegenüber der ersten Weite der aktiven Gräben geringeren zweiten Weite eingebracht. In den oberen Bereichen der Schichtkörper werden dadurch jeweils von den aktiven Gräben und den Trenngräben begrenzte Transistorstege ausgebildet. In der Folge wird etwa mittels einer plasmagestützten Gasphasen-
- 15 abscheidung (plasma enhanced chemical vapour deposition, PECVD) mit hoher Abscheidungsrate eine nichtkonforme Arbeitsschicht abgeschieden, die auf den Transistorstegen schneller aufwächst als in den aktiven Gräben und den Trenngräben. Der Abscheidungsprozess wird abgebrochen, sobald durch die auf
- 20 den Transistorstegen aufwachsende Arbeitsschicht jeweils zwischen in der x-Richtung benachbarten Transistorstegen liegende Abschnitte der Trenngräben abgedeckt sind. Auf diese Weise bildet die Arbeitsschicht eine Maske, mit der die unteren
- 25 Source/Drain-Anschlussbereiche selektiv in den unterhalb der aktiven Gräben angeordneten Abschnitte des Vorläufer-Schichtkörpers ausgebildet werden können.

- 30 Dabei erfolgt die Ausbildung der unteren Source/Drain-Anschlussbereiche in den unterhalb der aktiven Gräben befindlichen Abschnitten des Vorläufer-Schichtkörpers bevorzugt mittels einer Ionenimplantation. Die unteren Source/Drain-Anschlussbereiche werden sich bis zur Anschlussplatte erstreckend vorgesehen. Die aktiven Gebiete von in der x-Richtung benachbarten Transistorzellen bleiben jeweils durch unterhalb

---

der Transistorstege befindliche Abschnitte des jeweiligen Schichtkörpers miteinander zusammenhängend verbunden.

Bei einem weiteren Verfahren zur Herstellung von in einem  
5 Transistorzellenfeld längs einer x-Richtung in Zeilen und  
längs einer zur x-Richtung senkrechten y-Richtung in Spalten  
angeordneten vertikalen Transistorzellen in einem Substrat  
wird wiederum zunächst im Substrat eine leitfähige Anschluss-  
platte vorgesehen. Im Unterschied zu den bereits genannten  
Verfahren wird nun die Anschlussplatte in einem oberen Be-  
reich in einer Weise strukturiert, dass im oberen Bereich pro  
Transistorzelle ein sowohl in der x-Richtung als auch der y-  
Richtung begrenzter unterer Source/Drain-Anschlussbereich er-  
zeugt wird. Weiter wird auf der Anschlussplatte ein durch die  
15 unteren Source/Drain-Anschlussbereiche in einem unteren Be-  
reich strukturierter zusammenhängender Schichtkörper angeord-  
net, in dessen oberen Bereich aktive Gebiete der Transistor-  
zellen ausgebildet werden. Da der Schichtkörper im Unter-  
schied zu den oben beschriebenen Verfahren nicht in voneinan-  
20 der separierte, jeweils einer Transistorzeile zugeordnete  
Schichtkörper zerfällt, werden auf diese Weise die aktiven  
Gebiete sowohl von in der x-Richtung als auch in der y-  
Richtung benachbarten Transistorzellen, etwa auch allen Tran-  
sistorzellen eines Transistorzellenfeldes miteinander verbun-  
25 den.

Bevorzugt ist die Anschlussplatte im Substrat als eine  
Schicht von einem ersten Leitungstyp vorgesehen.

30 Insbesondere wird als erster Leitungstyp der n-Leitungstyp  
vorgesehen und die Anschlussplatte mittels einer starken n-  
Dotierung der jeweiligen Schicht des Substrats ausgebildet.

Beim Strukturieren des oberen Bereichs der Anschlussplatte  
35 wird in bevorzugter Weise ein erster Anteil des Schicht-



körpers auf der im Bereich des Transistorzellenfeldes zunächst noch unstrukturierten Anschlussplatte, etwa durch ein epitaktisches Verfahren angeordnet. Im Anschluss werden Abschnitte des ersten Anteils des Schichtkörpers entsprechend dem Leitfähigkeitstyp der Anschlussplatte dotiert, wobei aus den dotierten Abschnitten des Schichtkörpers die unteren Source/Drain-Anschlussbereiche hervorgehen. Darauf wird, etwa wiederum durch ein epitaktisches Verfahren, der zweite Anteil des Schichtkörpers vorgesehen.

Die Dotierung erfolgt dabei bevorzugt durch mehrere Implantationsschritte unterschiedlicher Implantationsenergie.

Danach werden in den Schichtkörper sich in der x-Richtung erstreckende aktive Gräben eingebracht und dabei zwischen den aktiven Gräben Transistorstege erzeugt. Das Einbringen der aktiven Gräben erfolgt dabei so, dass die jeweils in der x-Richtung benachbarten unteren Source/Drain-Anschlussbereiche jeweils einem Transistorsteg zugeordnet werden. Die unteren Source/Drain-Anschlussbereiche grenzen mindestens an den Transistorsteg an oder ragen in dessen unteren Teil hinein.

Bevorzugt werden die unteren Source/Drain-Anschlussbereiche kegelförmig ausgebildet.

Nachstehend wird die Erfindung anhand von Figuren näher erläutert, wobei einander entsprechende Komponenten mit gleichen Bezugszeichen versehen sind. Es zeigen:

Fig. 1 Eine schematische perspektivische Darstellung einer bekannten Anordnung von Transistorzellen in einem Substrat,

Fig. 2 einen schematischen Querschnitt längs einer x-Richtung durch eine gemäß einem ersten Ausführungsbei-

spiel eines erfindungsgemäßen Verfahrens prozessierte Transistorzellenanordnung in einer ersten Fertigungsphase,

5 Fig. 3 einen schematischen Querschnitt quer zur x-Richtung durch eine gemäß dem ersten Ausführungsbeispiel prozessierte Transistorzellenanordnung in der ersten Fertigungsphase,

10 Fig. 4 einen schematischen Querschnitt quer zur x-Richtung durch eine gemäß dem ersten Ausführungsbeispiel prozessierte Transistorzellenanordnung in einer zweiten Fertigungsphase,

15 Fig. 5 eine schematische perspektivische Darstellung einer gemäß dem ersten Ausführungsbeispiel prozessierten Transistorzellenanordnung in einer dritten Fertigungsphase,

20 Fig. 6 einen schematischen Querschnitt quer zur x-Richtung durch eine gemäß dem ersten Ausführungsbeispiel prozessierte Speicherzellenanordnung in einer vierten Fertigungsphase,

25 Fig. 7 einen schematischen Schaltplan einer Speicherzelle,

Fig. 8 einen schematischen Querschnitt quer zur x-Richtung durch eine gemäß einem zweiten Ausführungsbeispiel prozessierte Transistorzellenanordnung in einer ersten Fertigungsphase,

30 Fig. 9 einen schematischen Querschnitt quer zur x-Richtung durch eine gemäß dem zweiten Ausführungsbeispiel prozessierte Transistorzellenanordnung in einer zweiten Fertigungsphase,

35

Fig. 10 eine vereinfachte Draufsicht und einen schematischen Querschnitt quer zur x-Richtung einer gemäß einem dritten Ausführungsbeispiel prozessierten Transistorzellenanordnung in einer ersten Fertigungsphase,

Fig. 11 bis Fig. 15 eine vereinfachte Draufsicht und schematische Querschnitte längs und quer zur x-Richtung einer gemäß dem dritten Ausführungsbeispiel prozessierten Transistorzellenanordnung in weiteren Fertigungsphasen und

Fig. 16 bis Fig. 17 eine vereinfachte Draufsicht und schematische Querschnitte längs und quer zur x-Richtung einer gemäß einem vierten Ausführungsbeispiel prozessierten Transistorzellenanordnung in verschiedenen Fertigungsphasen.

Die Fig. 1 wurde bereits eingangs erläutert.

In den Figuren 2 bis 7 ist die Herstellung einer erfindungsgemäßen Transistorzellenanordnung nach einem ersten Ausführungsbeispiel der Erfindung in mehreren Phasen anhand von Querschnitten und einer perspektivischen Darstellung der Transistorzellenanordnung dargestellt.

Zunächst wird auf einer als n-dotierte Schicht in einem Substrat 1 ausgebildeten Anschlussplatte 21 durch eine in-situ-Dotierung eine schwach p-dotierte, epitaktische Schicht angeordnet, die einen Vorläufer-Schichtkörper 3'' ausbildet. Auf dem Vorläufer-Schichtkörper 3'' wird eine Arbeitsschicht 91, typischerweise aus Siliziumnitrid abgeschieden. In einem ersten lithographischen Schritt werden flache Trenngräben 6 ausgebildet. Die Trenngräben 6 erstrecken sich parallel zueinander längs einer y-Richtung. Die Tiefe der flachen Trenngräben

6 ist so bemessen, dass die flachen Trenngräben 6 die Anschlussplatte 21 nicht erreichen und im Bereich des Vorläufer-Schichtkörpers 3'' auslaufen. Nach der Ausbildung der flachen Trenngräben 6 bleibt der Vorläufer-Schichtkörper 3'' in einem unteren Bereich zusammenhängend erhalten. In einem oberen Bereich ist der Vorläufer-Schichtkörper 3'' durch die Trenngräben 6 strukturiert. Die Trenngräben 6 werden mit einem Dielektrikum, typischerweise mit Siliziumoxid, gefüllt. Der Zustand der prozessierten Transistorzellenanordnung nach dem Füllen der Trenngräben 6 mit einem Dielektrikum ist in der Fig. 2 anhand eines Querschnitts längs einer zur y-Richtung senkrechten x-Richtung vereinfacht dargestellt.

Die Fig. 3 stellt einen Querschnitt senkrecht zur x-Richtung nach einer anschließenden Formierung tiefer, aktiver Gräben 5 dar. Zur Formierung der aktiven Gräben 5 wird zunächst auf die Arbeitsschicht 91 eine Maske 92, typischerweise ein Bor-silikatglas (BSG) aufgebracht, mit deren Hilfe die senkrecht zu den flachen Trenngräben 6 längs der x-Richtung verlaufenden tiefen aktiven Gräben 5 in einem zweiten lithographischen Schritt ausgebildet werden. Die aktiven Gräben 5 erstrecken sich bis in die Anschlussplatte 21 hinein und strukturieren die Anschlussplatte 21 in einem oberen Bereich. Dabei gehen aus den oberen Abschnitten der Anschlussplatte 21 untere Source/Drain-Anschlussbereiche 2 und aus dem Vorläufer-Schichtkörper 3'' der Fig. 2 durch die aktiven Gräben 5 voneinander separierte Schichtkörper 3' hervor. Jeder Schichtkörper 3' bildet zwischen jeweils zwei innerhalb einer Zeile benachbarten Trenngräben 6 ein aktives Gebiet 3 einer Transistorzelle aus.

In der Folge wird an den Innenwänden der aktiven Gräben 5 ein Gatedielektrikum 51, in der Regel ein Oxid, abgeschieden oder erzeugt. Danach werden nach bekannter Art, etwa durch eine konforme Abscheidung eines leitfähigen Materials und einer

anschließenden isotropen Ätzung des abgeschiedenen Materials an den Innenwänden der aktiven Gräben 5 zwei voneinander isolierte Wortleitungen 521, 522 erzeugt. Die Wortleitungen 521, 522 erstrecken sich in der x-Richtung längs der aktiven Gräben 5. Zwischen zwei jeweils benachbarten flachen Trenngräben 6 bilden zwei jeweils an einem aktiven Gebiet 3 gegenüberliegende Abschnitte von Wortleitungen 521, 522 Gateelektroden einer Transistorzelle. Den Zustand der Transistorzellenanordnung nach der Formierung der Wortleitungen 521, 522 und dem Entfernen der Maske 92 zeigt die Fig. 4.

Nach der Ausbildung der Wortleitungen 521 werden die aktiven Gräben 5 mit einem Wortleitungsisolator (inter wordline fill) 53 aufgefüllt. Beispielsweise durch einen chemisch mechanischen Polierschritt (chemical mechanical polishing, CMP) werden remanente Abschnitte der Maske 92 und die Arbeitsschicht 91 bis etwa zur Oberkante der aus dem Vorläufer-Schichtkörper 3'' hervorgegangenen aktiven Gebiete 3 abgetragen. Anschließend werden in bekannter Art die oberen Source/Drain-Anschlussbereiche 4 der Transistorzellen 81 ausgebildet.

Es ergibt sich die in der Fig. 5 vereinfacht in perspektivischer Darstellung gezeigte Anordnung von Transistorzellen 81. Wird dabei eine Transistorzelle 81 in einer lithographiebestimmten minimalen Strukturgröße  $F$  vorgesehen, so ergibt sich für die Transistorzelle 81, wie der Fig. 5 unmittelbar zu entnehmen ist, ein Flächenbedarf von  $4 F^2$ . Die unteren Source/Drain-Anschlussbereiche 2 der Transistorzellen 81 sind Abschnitte der zusammenhängenden, in einem oberen Bereich strukturierten Anschlussplatte 21. Die aktiven Gebiete 3 von in der x-Richtung benachbarten Transistorzellen 81 sind, da die flachen Trenngräben 6 sich nicht bis zur Anschlussplatte 21 erstrecken, miteinander verbunden, so dass sich andernfalls in den aktiven Gebieten 3 anreichernde Ladungsträger im

Schichtkörper 3' längs der x-Richtung abfließen können. Außerhalb eines von den Transistorzellen 81 gebildeten Transistorzellenfeldes können die zusammenhängenden, parallel verlaufenden aktiven Gebiete 3 in geeigneter Weise angeschlossen werden, so dass ein kontinuierlicher Abtransport von Ladungsträgern aus den aktiven Gebieten 3 gewährleistet ist und eine nachteilige Anreicherung von Ladungsträgern in den aktiven Gebieten 3 vermieden wird.

In der Fig. 6 ist eine Erweiterung der Transistorzellenanordnung zu einer Speicherzellenanordnung vereinfacht dargestellt. Dabei besteht eine Speicherzelle aus einer Transistorzelle 81 und einer Speicherkapazität 82. Die Transistorzelle 81 ist über den oberen Source/Drain-Anschlussbereich 4 mit einer Elektrode der Speicherkapazität 82 verbunden.

Das der Speicherzelle der Fig. 6 zugrunde liegende Schaltungskonzept (plate line sensing) ist in der Fig. 7 schematisch dargestellt. Dabei korrespondiert der Anschluss WL der Fig. 7 mit einer der Wortleitungen 521, 522. Die Bitleitungen BL werden oberhalb der Speicherkondensatoren 82 ausgeführt. Die Anschlussplatte 21 wird mit dem Potential  $V_{dd} / 2$  beaufschlagt.

Anhand der Fig. 8 und der Fig. 9 wird ein weiteres Verfahren zur Herstellung einer erfindungsgemäßen Transistorzelle nach einem zweiten Ausführungsbeispiel beschrieben. Die Formierung von Transistorzellen 81 geht dabei von einer n-dotierten Schicht eines Substrat 1 aus, die als gemeinsamer elektrischer Anschluss der zu einem Transistorzellenfeld angeordneten Transistorzellen vorgesehen ist (common plate line) und eine Anschlussplatte 21 ausbildet. Oberhalb der n-dotierten Anschlussplatte 21 wird eine zunächst nicht- oder nur schwach p-dotierte Schicht angeordnet, aus der im Zuge des erfindungsgemäßen Verfahrens aktive Gebiete 3 und untere

Source/Drain-Anschlussbereiche 2 der Transistorzellen 81 hervorgehen. Die nicht- oder schwach p-dotierte Schicht bildet einen Vorläufer-Schichtkörper 3'' aus. Der Vorläufer-Schichtkörper 3'' wird entweder durch ein epitaktisches Verfahren erzeugt oder geht aus einem einkristallinen Halbleitermaterial des Substrats 1 hervor. Im Vorläufer-Schichtkörper 3'' werden zunächst längs einer x-Richtung aktive Gräben 5 und in einer zur x-Richtung senkrechten y-Richtung Trenngräben von im Wesentlichen gleicher Tiefe ausgebildet. Dabei enden die aktiven Gräben 5 und die Trenngräben innerhalb des Vorläufer-Schichtkörpers 3'' und erreichen die Anschlussplatte 21 nicht. Die sich längs der x-Richtung erstreckenden aktiven Gräben 5 werden mit einer größeren Weite vorgesehen als die sich längs der y-Richtung erstreckenden Trenngräben, beispielsweise mit mehr als der doppelten Weite. Der Vorläufer-Schichtkörper 3'' bleibt zunächst in einem unteren Bereich unterhalb der Gräben 5, 6 unstrukturiert. In einem oberen Bereich werden im Vorläufer-Schichtkörper 3'' durch die Gräben 5, 6 voneinander getrennte Halbleiterstege ausgebildet, die in der x-Richtung eine Längsausdehnung von beispielsweise zweimal der minimalen Strukturgröße F und in der y-Richtung eine Querausdehnung von etwa 0,8 F aufweisen. In diesem Ausführungsbeispiel beträgt die Weite der aktiven Gräben 2 F und die Weite der Trenngräben 0,8 F.

Auf den durch die Gräben 5, 6 strukturierten Vorläufer-Schichtkörper 3'' wird in der Folge etwa mittels plasma-gestützter chemischer Gasphasenabscheidung (plasma enhanced chemical vapour deposition, PECVD) eine Prozessschicht 71 abgeschieden. Das Material der Prozessschicht 71 ist typischerweise Siliziumnitrid. Die Prozessschicht 71 wird auf den Halbleiterstegen in einer größeren Schichtdicke vorgesehen als am Boden der aktiven Gräben 5. Dabei werden die schmalen Trenngräben durch die auf den Halbleiterstegen aufwachsende Prozessschicht 71 im Wesentlichen abgedeckt, während die wei-

ten aktiven Gräben 5 nicht vollständig abgedeckt werden. Für das Ausführungsbeispiel wird die Prozessschicht 71 so abgeschieden, dass sie von den Halbleiterstegen aus jeweils mindestens 0,4 F, bevorzugt aber 0,6 F weit über die benachbarten Trenngräben 6 und die aktiven Gräben 5 auskragt. Die 0,8 F weiten Trenngräben 6 werden dabei sicher überwachsen, während die 2 F weiten aktiven Gräben 5 geöffnet bleiben. Falls notwendig, werden durch einen anschließenden Ätzschritt Anteile der Prozessschicht 71 aus dem Bodenbereich der weiten, aktiven Gräben 5 entfernt, während der Bodenbereich der schmalen Trenngräben, durch die oberhalb der Halbleiterstege über den Trenngräben zusammengewachsene Prozessschicht 71 abgedeckt bleibt. Mit einem anschließenden Implantationsschritt, der senkrecht zur Transistorebene erfolgt, werden in unterhalb der aktiven Gräben 5 gelegenen Abschnitten des Vorläufer-Schichtkörpers 3'' untere Source/Drain-Anschlussbereiche 2 ausgebildet, die sich jeweils an die Anschlussplatte 21 anschließen. Gemäß dem obigen Beispiel wird dazu für Gatestrukturen von 70 nm Arsen mit einer Ionisierungsenergie von etwa 100 bis 200 keV implantiert.

In der Fig. 8 ist der Zustand zweier in der y-Richtung benachbarter Transistorzellen 81 nach der Implantation der unteren Source/Drain-Anschlussbereiche 2 in einem Querschnitt senkrecht zur y-Richtung dargestellt. Aus dem Vorläufer-Schichtkörper 3'' sind durch die unteren Source/Drain-Anschlussbereiche 2 voneinander getrennte Schichtkörper 3' hervorgegangen, die sich jeweils zeilenweise unterhalb der Halbleiterstege längs der x-Richtung erstrecken.

Nach Entfernen der Prozessschicht 71 wird in bekannter Weise ein Gatedielektrikum 51 mindestens abschnittsweise an den Wandungen der aktiven Gräben 5, optional auch an den Wandungen der Trenngräben 6, erzeugt. Es folgt eine konforme Abscheidung eines leitfähigen Materials, für das Ausführungs-



beispiel bevorzugt in einer Dicke von beispielsweise 0,6 F, zur Ausbildung der Gateelektroden. Anschließend wird das leitfähige Material durch einen isotropen Ätzschritt soweit zurückgebildet, dass es entlang der vertikalen Seitenflächen der Halbleiterstege verbleibt (spacer etch). Die schmalen Trenngräben, die die Transistorzellen 81 in x-Richtung voneinander trennen, werden dabei durch das Gateelektrodenmaterial mindestens soweit ausgefüllt, dass die Gateelektroden 52 von in der x-Richtung benachbarten Transistorzellen 81 aneinander grenzen und sich längs der x-Richtung erstreckende Wortleitungen 521 ausbilden. Die Gateelektroden 52, bzw. die Wortleitungen 521 bedecken dabei die Seitenflächen der Halbleiterstege nicht vollständig, sondern erstrecken sich von einer durch den Abscheidungsprozess des Gateelektrodenmaterials und dem nachfolgenden Ätzschritt bestimmten Höhe des Halbleiterstegs bis zum Boden der Gräben 5, 6. Der obere, von den Gateelektroden 521 nicht eingeschlossene Bereich des Halbleitersteges kann dadurch in der Folge durch eine Schrägimplantation zu jeweils einen oberen Source/Drain-Anschlussbereich 4 der jeweiligen Transistorzelle 81 ausgebildet werden. Dabei erfolgt die Schrägimplantation selbstjustiert zu den Gateelektroden 52 bzw. zu den Wortleitungen 521. In den Schichtkörpern 3' wird dabei pro Transistorzelle 81 jeweils zwischen zwei in x-Richtung benachbarten Trenngräben 6 und zwischen dem unteren und dem oberen Source/Drain-Anschlussbereich 2, 4 ein aktives Gebiete 3 ausgebildet.

Der schematisch in der Fig. 9 dargestellte Zustand der Transistorzellenanordnung ergibt sich nach einem Auffüllen mindestens der aktiven Gräben 5 mit einem Wortleitungsisolator (inter wordline fill) und einem Abtrag von zuvor oberhalb einer Oberkante der oberen Source/Drain-Anschlussbereiche 4 abgeschiedenem Material.

Zur Ausbildung einer Speicherzelle wird in der Folge auf dem oberen Source/Drain-Anschlussbereich 4 nach bekannter Art ein Speicherkondensator angeordnet.

5 In den Figuren 10 bis 15 ist ein erfindungsgemäßes Verfahren zur Herstellung einer erfindungsgemäßen Transistorzellenanordnung, bzw. einer erfindungsgemäßen Speicherzellenanordnung nach einem dritten Ausführungsbeispiel in verschiedenen Phasen dargestellt. Dabei wird eine Transistorzelle mit einer Gatestruktur erzeugt, bei der zwei Abschnitte einer Gateelektrode an zwei gegenüberliegenden Seitenflächen eines aktiven Gebietes ausgebildet werden (double gate transistor, DGT).

15 Dazu wird zunächst in einer Schicht eines Substrats 1 durch Implantation eine n-dotierte Schicht als Anschlussplatte 21 (common plate line, buried layer) zum gemeinsamen Anschluss der zu erzeugenden Transistorzellen ausgebildet. Auf der Anschlussplatte 21 wird eine erste epitaktische Schicht 31  
20 vorgesehen, in der im Zuge eines ersten lithographischen Schrittes und einer maskierten Implantation untere Source/Drain-Anschlussbereiche 2 ausgebildet werden. Die unteren Source/Drain-Anschlussbereiche 2 schließen dabei jeweils an die Anschlussplatte 21 an und werden etwa als kegel- oder zylinderförmige vertikale Strukturen ausgebildet, die die erste  
25 epitaktische Schicht 31 inselartig durchragen. Die nichtdotierten Abschnitte der ersten epitaktischen Schicht 31 bilden einen zusammenhängenden ersten Abschnitt eines Schichtkörpers 3'.

30

In der Fig. 10 a ist die erste epitaktische Schicht 31 mit den unteren Source/Drain-Anschlussbereichen 2 und dem zusammenhängenden ersten Abschnitt des Schichtkörpers 3' in der Draufsicht dargestellt.

35

Die Fig. 10 b zeigt die auf der Anschlussplatte 21 angeordnete erste epitaktische Schicht 31, in der abschnittsweise die unteren Source/Drain-Anschlussbereiche 2 und der erste Abschnitt des Schichtkörpers 3' ausgebildet sind in einem Querschnitt.

Im Folgenden wird nun eine zweite epitaktische Schicht 32 aufgewachsen, deren Dicke eine Kanallänge KL der zu erzeugenden Transistorzellen definiert.

In der Fig. 11 a sind die durch die zweite epitaktische Schicht 32 abgedeckten unteren Source/Drain-Anschlussbereiche 2 in der Draufsicht gezeigt.

Die Figuren 11 b und 11 c zeigen die auf der ersten epitaktischen Schicht 31 angeordnete zweite epitaktische Schicht 32, sowie den die zweite epitaktische Schicht 32 und die nicht zu den unteren Source/Drain-Anschlussbereichen 2 ausgebildeten Abschnitte der ersten epitaktischen Schicht 31 umfassenden Schichtkörper 3' in verschiedenen Querschnitten.

Im Weiteren werden von der Oberfläche der zweiten epitaktischen Schicht 32 aus aktive Gräben 5 in die epitaktischen Schichten 31, 32 eingebracht. Die Tiefe ATD der aktiven Gräben 5 ist größer als die Kanallänge KL. Zwischen den aktiven Gräben 5 verbleiben im oberen Bereich des Schichtkörpers 3' Halbleiterstege 33. Die Justierung der aktiven Gräben 5 relativ zu den unteren Source/Drain-Anschlussbereichen 2 erfolgt so, dass die Halbleiterstege 33 auf jeweils in einer x-Richtung benachbarten unteren Source/Drain-Anschlussbereichen 2 aufsitzen. Die unteren Source/Drain-Anschlussbereiche 2 können dabei jeweils zu mehr als unwesentlichen Anteilen von unten in die Halbleiterstege 33 ragen.

In der Fig. 12 ist der Zustand der entstehenden Transistorzellenanordnung nach dem Einbringen der aktiven Gräben 5 dargestellt.

- 5 Aus der Fig. 12 a ergibt sich die Anordnung der aktiven Gräben 5 bzw. der Halbleiterstege 33 relativ zu den unteren Source/Drain-Anschlussbereichen 2. Jeweils in der x-Richtung benachbarte untere Source/Drain-Anschlussbereiche 2 werden durch zwei in zur x-Richtung senkrechten y-Richtung benachbarte aktive Gräben 5 teilweise freigestellt.

- 15 In der Fig. 12 b ist ein Querschnitt durch die Anordnung längs der x-Richtung dargestellt. Die Tiefe ATD der aktiven Gräben 5 ist größer als die Kanallänge KL. Die unteren Source/Drain-Anschlussbereiche 2 ragen also in die Halbleiterstege 33.

- 20 Die Fig. 12 c zeigt einen Querschnitt durch die Anordnung der Fig. 12 a senkrecht zur x-Richtung.

- 25 Ausgehend von der vorangegangenen Fig. 12 c erfolgt nun an den Seitenwänden der Halbleiterstege 33 die Ausbildung eines Gatedielektrikums 51, etwa durch das Aufwachsen oder Abscheiden eines Oxids. Im Anschluss erfolgt in bekannter Weise, etwa durch eine konforme Abscheidung eines Gateelektrodenmaterials und einer anschließenden isotropen Rückätzung, die Ausbildung zweier voneinander isolierter Gateelektroden 52 bzw. Wortleitungen 521 an den einander gegenüberliegenden Längsseiten der aktiven Gräben 5. Dabei wirken jeweils Abschnitte der Wortleitungen 521, die sich längs der x-Richtung entlang der aktiven Gräben 5 erstrecken, als Gateelektroden 52 der jeweils zugeordneten Transistorzelle 81. Es folgt das Auffüllen der aktiven Gräben 5 mit einem Wortleitungsisolator (inter word line fill) 53. Zur Ausbildung der oberen Source/Drain-Anschlussbereiche 4 werden zunächst der Wortlei-
- 30
- 35

tungsisolator 53 und die Gateelektroden 52 zurückgeätzt.  
Durch einen weiteren Implantationsschritt werden obere Abschnitte der Halbleiterstege 33 n-dotiert und damit eine Vorstufe 4' von oberen Source/Drain-Anschlussbereichen 4 der Transistorzellen 81 ausgebildet. Anschließend werden die aktiven Gräben 5 wieder vollständig mit dem Wortleitungsisolator gefüllt.

Die sich ergebende Anordnung wird aus der Fig. 13 c ersichtlich, bei der die aktiven Gräben 5 im Querschnitt dargestellt sind. Die aktiven Gräben 5 sind dabei mit einem Gatedielektrikum 51 ausgekleidet. An den Seitenwänden der aktiven Gräben 5 ist jeweils eine Wortleitung 521 ausgebildet. Die Gräben sind vollständig mit einem Wortleitungsisolator 53 gefüllt. Im oberen Bereich der Halbleiterstege 33 der Fig. 12 c wurden Vorstufen der oberen Source/Drain-Anschlussbereiche 4 ausgebildet.

Aus der Fig. 13 b ist weiter ersichtlich, dass die aktiven Gebiete 3 von jeweils in der x- und der y-Richtung benachbarten Transistorzellen 81 Abschnitte eines im unteren Bereich zusammenhängenden Schichtkörpers 3' und daher miteinander verbunden sind.

Der Fig. 13 a ist darüber hinaus zu entnehmen, dass in dieser Phase des Verfahrens die Vorstufen 4' der oberen Source/-Drain-Anschlussbereiche in der y-Richtung noch unstrukturiert sind.

Der Fig. 14 ist eine Möglichkeit zur Strukturierung der oberen Source/Drain-Anschlussbereiche 4 zu entnehmen. Die Strukturierung erfolgt dabei durch das Einbringen von Trenngräben 6 in die Vorstufe 4' der oberen Source/Drain-Anschlussbereiche, wobei aus der Vorstufe 4' die oberen Source/Drain-Anschlussbereiche 4 hervorgehen. Die Trenngräben 6 werden dabei

mit einer Tiefe vorgesehen, die größer ist als die Ausdehnung der oberen Source/Drain-Anschlussbereiche 4 in die Tiefe des Substrats. Die Anordnung der Trenngräben 6 relativ zu den unteren Source/Drain-Anschlussbereichen 2 erfolgt etwa korrespondierend zur Anordnung der unteren Source/Drain-Anschlussbereiche 2 und in Abhängigkeit einer Anordnung etwa von im weiteren Prozessverlauf vorzusehenden Speicherkondensatoren 82. In diesem Ausführungsbeispiel sind erste Trenngräben 6 jeweils oberhalb der unteren Source/Drain-Anschlussbereiche 4 angeordnet. In dem gezeigten Ausschnitt dieses Ausführungsbeispiels ist zwischen zwei ersten Trenngräben 6 jeweils ein zusätzlicher Trenngraben 6 vorgesehen.

Das Einbringen der Trenngräben 6 erfolgt entweder entsprechend Fig. 14 a nicht Material selektiv oder entsprechend Fig. 14 c selektiv gegen das Füllmaterial der aktiven Gräben 5 im Halbleitermaterial der oberen Source/Drain-Anschlussbereiche 4 bzw. des Schichtkörpers 3'.

In der Fig. 15 ist eine Möglichkeit zur Platzierung von Speicherkondensatoren in der Fig. 15 a in der Draufsicht und in der Fig. 15 b und der Fig. 15 c in zwei Querschnitten dargestellt. Die Ausbildung der Speicherkondensatoren erfolgt dabei als Stapelkondensatoren (stacked capacitor) nach bekannter Art.

Die in den Fig. 15 a bis Fig. 15 c dargestellte Speicherzelle besteht aus einem Speicherkondensator 82 und einer Transistorzelle 81. Die Transistorzelle 81 weist einen unteren Source/Drain-Anschlussbereich 2 und einen oberen Source/Drain-Anschlussbereich 4 auf, die ein aktives Gebiet 3 jeweils in vertikaler Richtung begrenzen. Der untere Source/Drain-Anschlussbereich 2 vermittelt eine Verbindung zu einer gemeinsamen Anschlussstruktur der Transistorzellen 81, der Anschlussplatte 21. Der obere Source/Drain-Anschlussbereich 4

vermittelt eine elektrische Verbindung zum Speicherkondensator 82. Dem aktiven Gebiet 3 einer Transistorzelle 81 liegen an einem Gatedielektrikum 51 in den aktiven Gräben 5 Gateelektroden 52 gegenüber. Ein elektrisches Potential an den Gateelektroden 52 steuert die Ausbildung eines leitfähigen Kanals im aktiven Gebiet 3. Die Gateelektroden 52 von längs der aktiven Gräben 5 benachbarten Transistorzellen 81 werden abschnittsweise von durchgehenden Wortleitungen 521 gebildet. Die jeweils einem aktiven Gebiet 3 gegenüberliegenden Wortleitungen 521 werden gemeinsam angesteuert. In der Längsrichtung der aktiven Gräben 5 benachbarte Transistorzellen 81 werden durch Trenngräben 6 voneinander separiert. Die aktiven Gebiete 3 aller Transistorzellen 81 sind Abschnitte eines zusammenhängenden Schichtkörpers 3'.

In den Figuren 16 bis 17 ist ein erfindungsgemäßes Verfahren zur Herstellung einer erfindungsgemäßen Transistorzellenanordnung nach einem vierten Ausführungsbeispiel in den wesentlichen Phasen dargestellt. Dabei wird eine Transistorzelle mit einer Gatestruktur erzeugt, bei der die Gateelektroden ein aktives Gebiet der Transistorzelle im Wesentlichen vollständig umschließen (surrounding gate transistor, SGT).

Dabei entspricht die Prozessierung bis einschließlich der Ausbildung der aktiven Gräben 5 der bereits in den Fig. 10 bis Fig. 12 dargestellten Prozessierung gemäß dem vorangegangenen Ausführungsbeispiel.

Abweichend vom vorangegangenen Ausführungsbeispiel wird nun auf die durch die aktiven Gräben 5 strukturierte Oberfläche des Schichtkörpers 3' eine nicht dargestellte Schutzbeschichtung und anschließend eine Maske 92, etwa Borphosphorsilikatglas, abgeschieden. Dabei werden die aktiven Gräben 5 vorübergehend mit dem Maskenmaterial gefüllt. Anschließend wird die Maske 92 entsprechend der gewünschten Anordnung von

Trenngräben 6 strukturiert und die Trenngräben 6 durch einen durch die Maske 92 maskierten Ätzprozess in den Schichtkörper 3' eingebracht.

5 In der Fig. 16 a ist die sich ergebende Anordnung nach dem Einbringen der Trenngräben 6 in den Schichtkörper 3' in der Draufsicht gezeigt, wobei auf die Darstellung der Maske 92 verzichtet wurde. Die Anordnung der Trenngräben 6 relativ zu den unteren Source/Drain-Anschlussbereichen 2 erfolgt korrespondierend zur Anordnung der unteren Source/Drain-Anschlussbereiche 2 und ist abhängig etwa von einer Anordnung von im weiteren Prozessverlauf vorzusehenden Speicherkondensatoren. In diesem Ausführungsbeispiel sind erste Trenngräben 6 wie im vorangegangenen Ausführungsbeispiel jeweils oberhalb der unteren Source/Drain-Anschlussbereiche 4 vorgesehen. Ferner ist im gezeigten Ausschnitt dieses Ausführungsbeispiels zwischen zwei ersten Trenngräben 6 jeweils ein zusätzlicher Trenngraben 6 vorgesehen.

20 Der Fig. 16 b ist zu entnehmen, dass die Trenngräben 6 dabei mit einer Tiefe vorgesehen werden, die größer ist als die Ausdehnung von noch auszubildenden oberen Source/Drain-Anschlussbereichen 4.

25 Aus der Fig. 16 c ist ersichtlich, dass die Trenngräben 6 selektiv in das Halbleitermaterial des Schichtkörpers 3' eingebracht werden.

30 Nach der Ausformung der Trenngräben 6 werden remanente Abschnitte der Maske 92 sowie die Schutzbeschichtung wieder entfernt. Im weiteren Verlauf werden sowohl in den aktiven Gräben 5 als auch in den Trenngräben 6 jeweils gleichzeitig, nach bereits beschriebener Art ein Gatedielektrikum 51, Gateelektroden 52, sowie ein Wortleitungsisolator 53 vorgesehen



---

und die oberen Source/Drain-Anschlussbereiche 4 aus oberen Abschnitten des Schichtkörpers 3' ausgebildet.

Die Fig. 17 a zeigt die Anordnung nach der Rückbildung tempo-  
5 rär oberhalb der Oberkante der oberen Source/Drain-An-  
schlussbereiche 4 ausgebildeter Anteile etwa des Wortlei-  
tungsisolators 53 in der Draufsicht. Die freiliegenden oberen  
Source/Drain-Anschlussbereichen 4 sind in den Wortleitungs-  
isolator 53 eingebettet.

Der Fig. 17 b und der Fig. 17 c ist weiter zu entnehmen, dass  
im Schichtkörper 3' ausgebildete, jeweils einer Transistor-  
zelle zugeordnete aktive Gebiete 3 jeweils von vier Seiten  
von in den aktiven Gräben 5 und den Trenngräben 6 angeordne-  
15 ten Gateelektroden eingefasst sind. Schließlich ergibt sich  
aus der Fig. 17 darüber hinaus, dass die aktiven Gebiete 3  
der Transistorzellen eines Transistorzellenfeldes jeweils Ab-  
schnitte des zusammenhängenden Schichtkörpers 3' sind.

---

Patentansprüche

1. Anordnung von vertikalen Transistorzellen (81) in einem Transistorzellenfeld, wobei die Transistorzellen (81)

- 5 - im in einem Substrat (1) ausgebildeten Transistorzellenfeld in einer Transistorebene in einer x-Richtung in von aktiven Gräben (5) voneinander separierten Zeilen und in einer zur x-Richtung senkrechten y-Richtung in von Trenngräben (6) separierten Spalten angeordnet sind und
- 10 - jeweils einen unteren Source/Drain-Anschlussbereich (2), in einer im Wesentlichen zur Transistorebene vertikalen Richtung dazu einen oberen Source/Drain-Anschlussbereich (4) und ein zwischen dem unteren Source/Drain-Anschlussbereich (2) und dem oberen Source/Drain-Anschlussbereich (4) angeordnetes aktives Gebiet (3) zur Ausbildung eines leitfähigen, durch ein Potential einer durch ein Gatedielektrikum (51) vom aktiven Gebiet (3) isolierten Gateelektrode (52) steuerbaren Kanals zwischen den beiden Source/Drain-Anschlussbereichen (2, 4) aufweisen,
- 15
- 20 d a d u r c h g e k e n n z e i c h n e t ,  
dass die aktiven Gebiete (3) mindestens von in der x-Richtung einander benachbarten Transistorzellen (81) miteinander verbunden sind und ein Ladungsträgertransport zwischen den aktiven Gebieten (3) von mindestens jeweils in der x-Richtung be-
- 25 nachbarten Transistorzellen (81) ermöglicht ist.

2. Anordnung nach Anspruch 1,

- d a d u r c h g e k e n n z e i c h n e t ,  
dass die Gateelektroden (52) in den aktiven Gräben (5) ange-
- 30 ordnet sind und die Gateelektroden (52) von in der x-Richtung benachbarten Transistorzellen (81) miteinander verbunden sind und Abschnitte von Wortleitungen (521, 522) ausbilden.

3. Anordnung nach einem der Ansprüche 1 oder 2,

- 35 d a d u r c h g e k e n n z e i c h n e t ,

dass die unteren Source/Drain-Anschlussbereiche (2) jeweils mit einer zusammenhängenden Anschlussplatte (21) verbunden sind.

5 4. Anordnung nach einem der Ansprüche 1 oder 2,  
d a d u r c h g e k e n n z e i c h n e t ,  
dass die unteren Source/Drain-Anschlussbereiche (2) jeweils Abschnitte einer mindestens in einem oberen Bereich strukturierten und in einem unteren Bereich zusammenhängenden Anschlussplatte (21) sind.

5. Anordnung nach einem der Ansprüche 1 bis 4,  
d a d u r c h g e k e n n z e i c h n e t ,  
dass die aktiven Gebiete (3) jeweils Abschnitte eines  
15 - in einem oberen Bereich mindestens von den Trenngräben (6) strukturierten und  
- in einem unteren Bereich die aktiven Gebiete (5) von mindestens in der x-Richtung einander benachbarten Transistorzellen (81) verbindenden  
20 zusammenhängenden Schichtkörpers (3') sind.

6. Anordnung nach Anspruch 5,  
d a d u r c h g e k e n n z e i c h n e t ,  
dass im Transistorzellenfeld eine Mehrzahl von jeweils durch  
25 die aktiven Gräben (5) voneinander separierten Schichtkörpern (3') vorgesehen sind.

7. Anordnung nach Anspruch 6,  
d a d u r c h g e k e n n z e i c h n e t ,  
30 dass die Schichtkörper (3') jeweils zeilenweise in ein an das Transistorzellenfeld anschließendes Anschlussfeld verlängert sind.

8. Anordnung nach Anspruch 7,  
35 d a d u r c h g e k e n n z e i c h n e t ,

dass die Schichtkörper (3') im Bereich des Anschlussfeldes miteinander verbunden sind.

9. Anordnung nach einem der Ansprüche 5 bis 8,  
5 d a d u r c h g e k e n n z e i c h n e t ,  
dass die Schichtkörper (3') mit einer ein Substratpotential aufweisenden Struktur verbunden sind.

10. Anordnung nach einem der Ansprüche 5 bis 9,  
d a d u r c h g e k e n n z e i c h n e t , d a s s  
- die Anschlussplatte (21) in einem oberen Bereich durch die  
sich längs der x-Achse erstreckenden aktiven Gräben (5)  
strukturiert ist,  
- die unteren Source/Drain-Anschlussbereiche (2) im oberen  
15 Bereich der Anschlussplatte (21) jeweils unterhalb der aktiven Gebiete (3) ausgebildet sind,  
- die Trenngräben (6) eine geringere Tiefe aufweisen als die aktiven Gräben (5) und  
- die Schichtkörper (3') jeweils in einem unteren Bereich un-  
20 terhalb der Trenngräben (6) zeilenweise zusammenhängend ausgebildet sind.

11. Anordnung nach Anspruch 10,  
d a d u r c h g e k e n n z e i c h n e t ,  
25 dass die Trenngräben (6) mit einem Isolatormaterial gefüllt sind.

12. Anordnung nach einem der Ansprüche 5 bis 9,  
d a d u r c h g e k e n n z e i c h n e t , d a s s  
30 - die Trenngräben (6) und die aktiven Gräben (5) eine im Wesentlichen gleiche Tiefe aufweisen,  
- die unteren Source/Drain-Anschlussbereiche (2) jeweils in einem oberen Bereich der Anschlussplatte (21) unterhalb der aktiven Gräben (5) ausgebildet sind,

- die Schichtkörper (3') jeweils unterhalb der aktiven Gebiete (3) zeilenweise zusammenhängend ausgebildet und in einem unteren Bereich durch die Source/Drain-Anschlussbereiche (2) voneinander separiert sind.

5

13. Anordnung nach einem der Ansprüche 5 bis 9,  
dadurch gekennzeichnet, dass

- die Anschlussplatte (21) in einem oberen Bereich eine Strukturierung in der x-Richtung und in der y-Richtung aufweist und im oberen Bereich pro Transistorzelle jeweils ein in der x-Richtung und der y-Richtung begrenzter unterer Source/Drain-Anschlussbereich (4) ausgebildet ist und
- die aktiven Gebiete (3) von in der x-Richtung und der y-Richtung benachbarten Transistorzellen (81) durch einen

15 einzigen, im unteren Bereich durch die unteren Source/Drain-Anschlussbereiche (2) strukturierten Schichtkörper (3') zusammenhängend ausgebildet sind.

14. Anordnung nach Anspruch 13,  
20 dadurch gekennzeichnet,  
dass der Schichtkörper (3') in ein an das Transistorzellenfeld anschließendes Anschlussfeld verlängert ist.

15. Anordnung nach einem der Ansprüche 13 oder 14,  
25 dadurch gekennzeichnet,  
dass der Schichtkörper (3') mit einer ein Substratpotential aufweisenden Struktur verbunden ist.

16. Anordnung nach einem der Ansprüche 1 bis 15,  
30 dadurch gekennzeichnet,  
dass die aktiven Gebiete (3) der Transistorzellen (81) bezogen auf eine fertigungsbedingte minimale Strukturgröße  $F$  parallel zur Transistorebene eine Querschnittsfläche von im Wesentlichen  $F^2$  aufweisen und der Flächenbedarf einer Transistorzelle im Wesentlichen  $4 F^2$  beträgt.

35

17. Anordnung von jeweils einen Auswahltransistor (81) und einen mit einem Source/Drain-Anschlussbereich (2,4) des Auswahltransistors elektrisch verbundenen Speicherkondensator  
5 (82) aufweisenden Speicherzellen in einem Speicherzellenfeld, g e k e n n z e i c h n e t d u r c h eine Anordnung der Auswahltransistoren (81) nach einem der Ansprüche 1 bis 16.

10 18. Anordnung nach Anspruch 17, d a d u r c h g e k e n n z e i c h n e t , dass die Auswahltransistoren (81) jeweils an einem oberen Source/Drain-Anschlussbereich (4) mit dem zugeordneten Speicherkondensator (82) verbunden sind.

15 19. Verfahren zur Herstellung von in einem Transistorzellenfeld längs einer x-Richtung in Zeilen und längs einer zur x-Richtung senkrechten y-Richtung in Spalten angeordneten vertikalen Transistorzellen (81) in einem Substrat (1), bei dem  
20 - im Substrat (1) eine leitfähige Anschlussplatte (21) vorgesehen wird,  
- auf der leitfähigen Anschlussplatte (21) ein Vorläufer-Schichtkörper (3'') vorgesehen wird,  
- in einen oberen Bereich des Vorläufer-Schichtkörpers (3'')  
25 sich längs der y-Richtung erstreckende Trenngräben (6) eingebracht werden und  
- in den Vorläufer-Schichtkörper (3'') den Vorläufer-Schichtkörper (3'') durchschneidende und die Anschlussplatte (21) in einem oberen Bereich strukturierende aktive Gräben (5) eingebracht werden, wobei  
30 - aus dem Vorläufer-Schichtkörper (3'') durch die aktiven Gräben (5) separierte Schichtkörper (3'),  
- aus den oberen Bereichen der Anschlussplatte (21) untere Source/Drain-Anschlussbereiche (2) und

- 
- aus den oberen Bereichen der Schichtkörper (3') zeilenweise über die unteren Bereiche der Schichtkörper (3') zusammenhängende aktive Gebiete (3) der Transistorzellen (81) ausgebildet werden.

5

20. Verfahren nach Anspruch 19,  
dadurch gekennzeichnet,  
dass die Anschlussplatte (21) im Substrat (1) als eine  
Schicht von einem ersten Leitungstyp und der Vorläufer-  
Schichtkörper (3'') als eine auf der Anschlussplatte (21) an-  
geordnete Schicht von einem dem ersten Leitungstyp entgegen-  
gesetzten zweiten Leitungstyp vorgesehen wird.

21. Verfahren nach Anspruch 20,  
dadurch gekennzeichnet,  
dass als erster Leitungstyp ein n-Leitungstyp und als zweiter  
Leitungstyp ein p-Leitungstyp vorgesehen wird, die Anschluss-  
platte (21) aus einer starken n-Dotierung einer Schicht des  
Substrats (1) und der Vorläufer-Schichtkörper (3'') durch E-  
pitaxie auf der Anschlussplatte (21) angeordnet wird.

22. Verfahren zur Herstellung von in einem Transistorzellen-  
feld längs einer x-Richtung in Zeilen und längs einer zur x-  
Richtung senkrechten y-Richtung in Spalten angeordneten ver-  
tikalen Transistorzellen (81) in einem Substrat (1), bei dem  
- im Substrat (1) eine leitfähige Anschlussplatte (21) vorge-  
sehen wird,  
- auf der leitfähigen Anschlussplatte (21) ein Vorläufer-  
Schichtkörper (3'') angeordnet wird,  
- in einen oberen Bereich des Vorläufer-Schichtkörpers (3'')  
längs der x-Richtung verlaufende, aktive Gräben (5) mit ei-  
ner ersten Weite eingebracht werden,  
- in unterhalb der aktiven Gräben (5) angeordneten Abschnit-  
ten des Vorläufer-Schichtkörpers (3'') jeweils sich bis zur  
Anschlussplatte (21) erstreckende untere Source/Drain-An-

schlussbereiche (2) ausgebildet werden, wobei aus dem Vorläufer-Schichtkörper (3'') durch die aktiven Gräben (5) und die unteren Source/Drain-Anschlussbereiche (2) voneinander separierte Schichtkörper (3') hervorgehen und

- 5 - aus den oberen Bereichen der Schichtkörper (3') zeilenweise über die unteren Bereiche der Schichtkörper (3') miteinander verbundene aktive Gebiete (3) der Transistorzellen (81) ausgebildet werden.

20 23. Verfahren nach Anspruch 22,

d a d u r c h g e k e n n z e i c h n e t ,  
dass das Ausbilden der unteren Source/Drain-Anschlussbereiche (2) selektiv in unterhalb der aktiven Gräben (5) angeordneten Abschnitten des Vorläufer-Schichtkörpers (3'') erfolgt und

15 dazu

- in den jeweils oberen Bereichen der Schichtkörper (3') längs der y-Richtung verlaufende Trenngräben (6) mit einer gegenüber der ersten Weite geringeren zweiten Weite eingebracht werden, wobei im oberen Bereich der Schichtkörper (3') jeweils von den aktiven Gräben (5) und den Trenngräben (6) begrenzte Transistorstege entstehen,

20

- eine nichtkonforme, auf den Transistorstegen schneller als in den aktiven Gräben (5) und den Trenngräben (6) anwachsende Arbeitsschicht (91) abgeschieden wird und

25

- der Abscheidungsprozess abgebrochen wird, sobald durch die auf den Transistorstegen aufwachsende Arbeitsschicht (91) jeweils zwischen in der x-Richtung benachbarten Transistorstegen liegende Abschnitte der Trenngräben (6) abgedeckt sind.

30

24. Verfahren nach Anspruch 23,

d a d u r c h g e k e n n z e i c h n e t ,  
dass die unteren Source/Drain-Anschlussbereiche (2) mittels einer Ionenimplantation des Schichtkörpers (3') ausgebildet werden, wobei in den unterhalb der aktiven Gräben (5) befind-

35



lichen Abschnitten der Schichtkörpers (3) sich bis zur Anschlussplatte (21) erstreckende untere Source/Drain-Anschlussbereiche (2) ausgebildet werden und die aktiven Gebiete (3) von in der x-Richtung benachbarten Transistorzellen (81) durch unterhalb der Transistorstege befindliche Abschnitte des Schichtkörpers (3') verbunden werden.

25. Verfahren zur Herstellung von in einem Transistorzellenfeld längs einer x-Richtung in Zeilen und längs einer zur x-Richtung senkrechten y-Richtung in Spalten angeordneten vertikalen Transistorzellen (81) in einem Substrat (1), wobei  
- im Substrat (1) eine leitfähige Anschlussplatte (21) vorgesehen wird,

- die Anschlussplatte (21) in einem oberen Bereich strukturiert wird, wobei im oberen Bereich pro Transistorzelle (81) ein in der x-Richtung und der y-Richtung begrenzter unterer Source/Drain-Anschlussbereich (2) erzeugt wird,  
- auf der Anschlussplatte (21) ein durch die unteren Source/Drain-Anschlussbereiche (2) in einem unteren Bereich strukturierter, zusammenhängender Schichtkörper (3') angeordnet wird,

- in einem oberen Bereich des Schichtkörpers (3') aktive Gebiete (3) der Transistorzellen (81) ausgebildet werden, wobei die aktiven Gebiete (3) von in der x-Richtung und der y-Richtung benachbarten Transistorzellen (81) über den unteren Bereich des Schichtkörpers (3') zusammenhängend ausgebildet werden.

26. Verfahren nach Anspruch 25,

d a d u r c h g e k e n n z e i c h n e t ,  
dass die Anschlussplatte (21) im Substrat (1) als eine Schicht von einem ersten Leitungstyp vorgesehen wird.

27. Verfahren nach Anspruch 26,

d a d u r c h g e k e n n z e i c h n e t ,

dass als erster Leitungstyp ein n-Leitungstyp vorgesehen wird und die Anschlussplatte (21) aus einer starken n-Dotierung einer Schicht des Substrats (1) ausgebildet wird.

5 28. Verfahren nach einem der Ansprüche 25 bis 27,  
d a d u r c h g e k e n n z e i c h n e t ,  
dass das Strukturieren des oberen Bereichs der Anschlussplatte (21) folgende Schritte umfasst:

- epitaktisches Aufwachsen eines ersten Anteils des Schichtkörpers (3'),
- dotieren von Abschnitten des ersten Anteils des Schichtkörpers (3') entsprechend dem Leitfähigkeitstyp der Anschlussplatte (21) , wobei aus den dotierten Abschnitten des Schichtkörpers (3') die unteren Source/Drain-Anschlussbereiche (2) hervorgehen und
- 15 - epitaktisches Aufwachsen des zweiten Anteils des Schichtkörpers (3').

20 29. Verfahren nach einem der Ansprüche 25 bis 28,  
d a d u r c h g e k e n n z e i c h n e t ,  
dass die Dotierung durch mehrere Implantationsschritte unterschiedlicher Implantationsenergie erfolgt.

25 30. Verfahren nach einem der Ansprüche 25 bis 29,  
d a d u r c h g e k e n n z e i c h n e t ,  
dass in den Schichtkörper (3') sich in der x-Richtung erstreckende aktive Gräben (5) eingebracht und dabei zwischen den aktiven Gräben (5) Transistorstege erzeugt werden, wobei die jeweils in der x-Richtung benachbarten unteren Source/  
30 Drain-Anschlussbereiche (2) jeweils einem Transistorsteg zugeordnet und an den zugeordneten Transistorsteg mindestens angrenzend vorgesehen werden.

35 31. Verfahren nach einem der Ansprüche 25 bis 30,  
d a d u r c h g e k e n n z e i c h n e t ,

---

dass die unteren Source/Drain-Anschlussbereiche (2) jeweils in die zugeordneten Transistorstege hineinragend vorgesehen werden.

- 5 32. Verfahren nach einem der Ansprüche 25 bis 31,  
d a d u r c h g e k e n n z e i c h n e t ,  
dass die unteren Source/Drain-Anschlussbereiche (2) kegelför-  
mig ausgebildet werden.

---

Zusammenfassung

Anordnung und Verfahren zur Herstellung von vertikalen Transistorzellen und transistorgesteuerter Speicherzellen

5

In einem Substrat (1) sind vertikale Transistorzellen (81) ausgebildet und in einem Transistorzellenfeld in einer x-Richtung zeilenweise und einer y-Richtung spaltenweise angeordnet. Untere Source/Drain-Bereiche (2) der Transistorzellen (81) sind mit einer gemeinsamen Anschlussplatte (21) verbunden. Obere Source/Drain-Bereiche (4) der Transistorzellen (81) vermitteln eine Kontaktierung etwa zu einem Speicherkondensator (82) einer DRAM-Speicherzelle. Längs der x-Richtung sind zwischen den Transistorzellen (81) verlaufende aktive  
15 Gräben (5) mit Wortleitungen (521, 522) ausgebildet. Die Wortleitungen bilden abschnittsweise Gateelektroden (52) aus. Durch ein Potential an der Gateelektrode (52) wird in einem jeweils zwischen dem oberen (4) und dem unteren (2) Source/-Drain-Anschlussbereich angeordneten aktiven Gebiet (3) ein  
20 leitfähiger Kanal gesteuert. Erfindungsgemäß sind die aktiven Gebiete (3) benachbarter Transistorzellen (81) Abschnitte eines zusammenhängenden Schichtkörpers (3') und miteinander verbunden. Eine Anreicherung von Ladungsträgern im aktiven Gebiet (3) und Floating-Body-Effekte werden vermieden, ohne  
25 den Flächenbedarf einer Transistorzelle zu erhöhen.

(Fig. 5)

---

Bezugszeichenliste

	1	Substrat
	2	unterer Source/Drain-Anschlussbereich
5	21	Anschlussplatte (buried layer)
	3	aktives Gebiet
	3'	Schichtkörper
	3''	Vorläufer-Schichtkörper
	31	erste epitaktische Schicht
10	32	zweite epitaktische Schicht
	33	Transistorsteg
	4	oberer Source/Drain-Anschlussbereich
	4'	Vorstufe des oberen Source/Drain-Anschlussbereichs
	5	aktiver Graben (active trench)
15	50	Isolatorschicht
	51	Gatedielektrikum
	52	Gateelektrode
	521, 522	Wortleitung
	53	Wortleitungsisolator (inter wordline fill)
20	6	Trenngraben
	71	Prozessschicht
	81	Transistorzelle (Auswahltransistor)
	82	Speicherkondensator
	91	Arbeitsschicht
25	92	Maske

FIG 1  
(Stand der Technik)

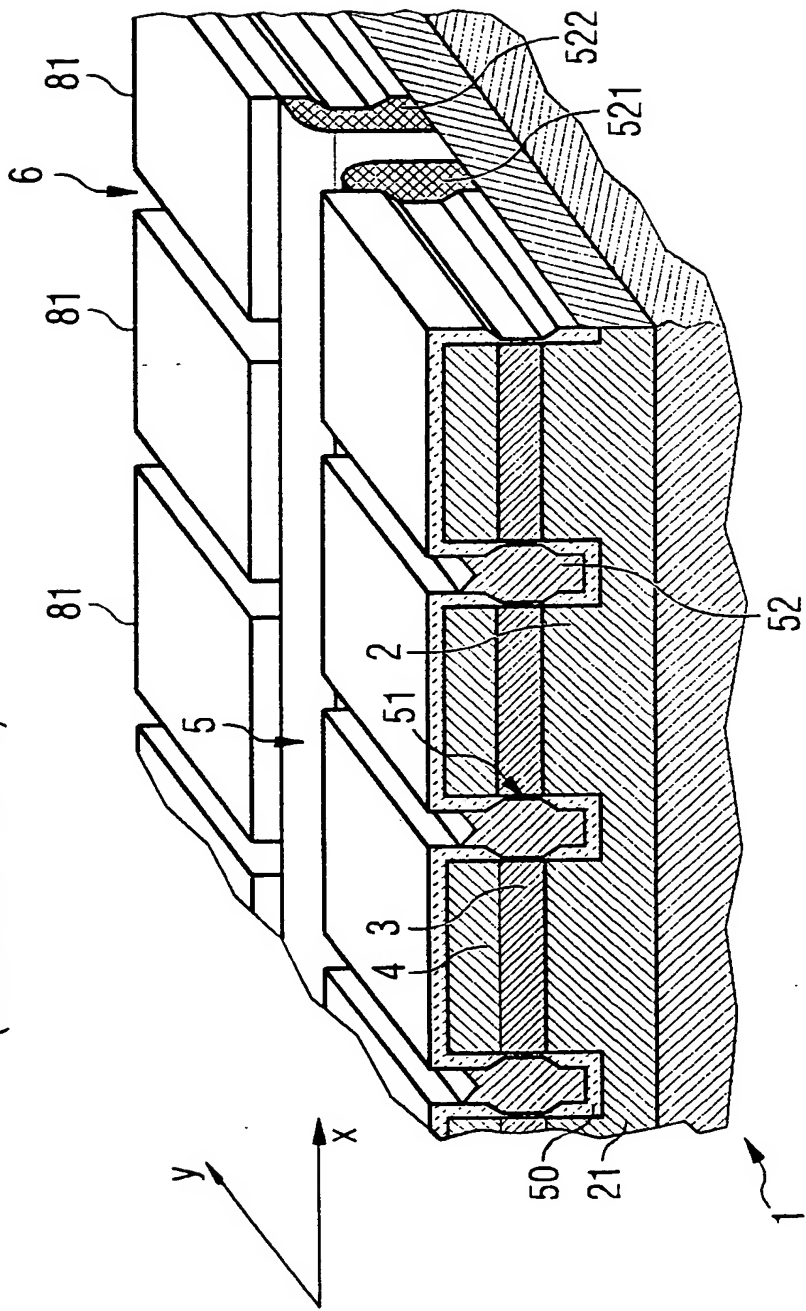


FIG 2

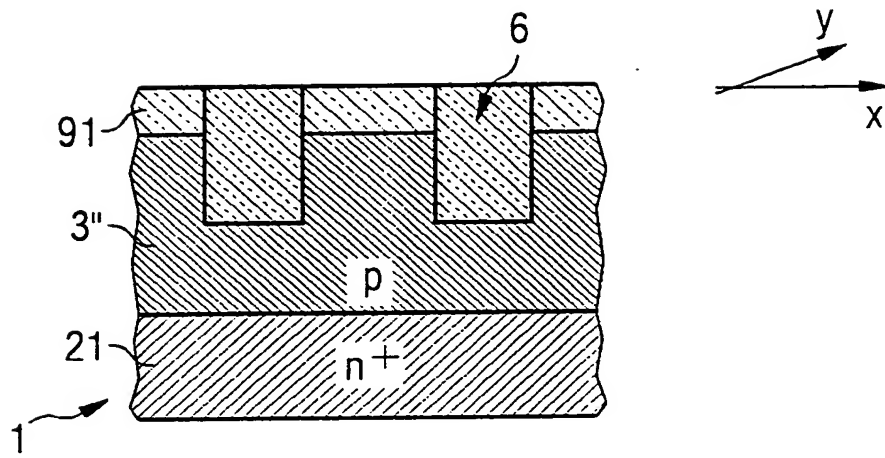


FIG 3

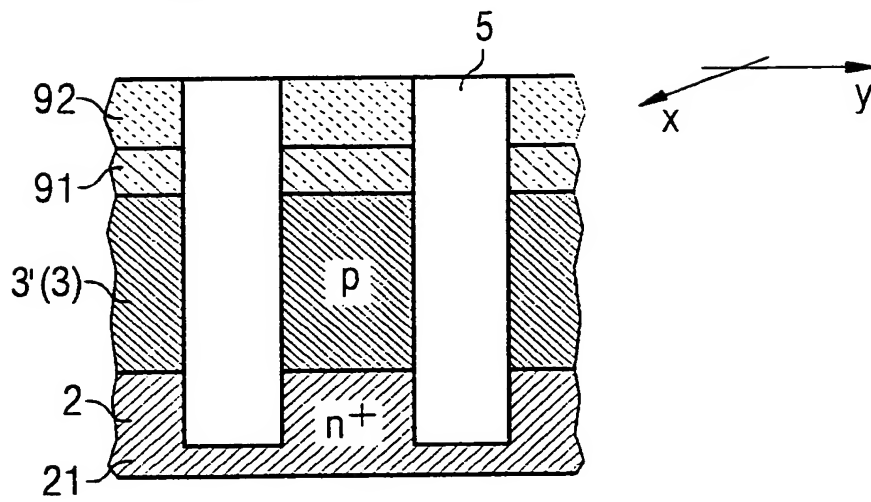


FIG 4

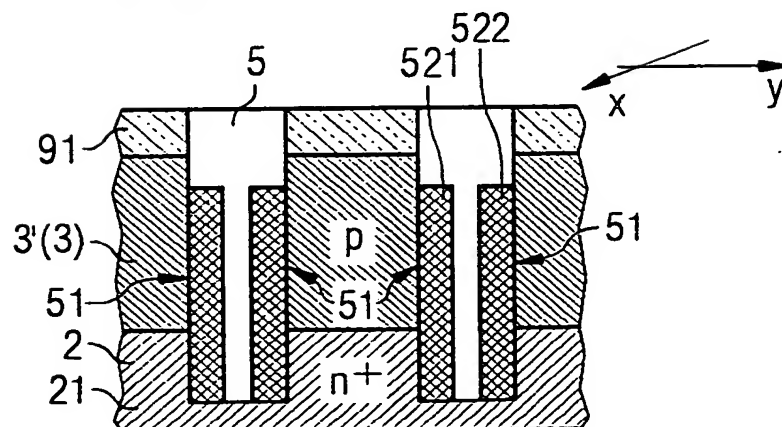






FIG 6

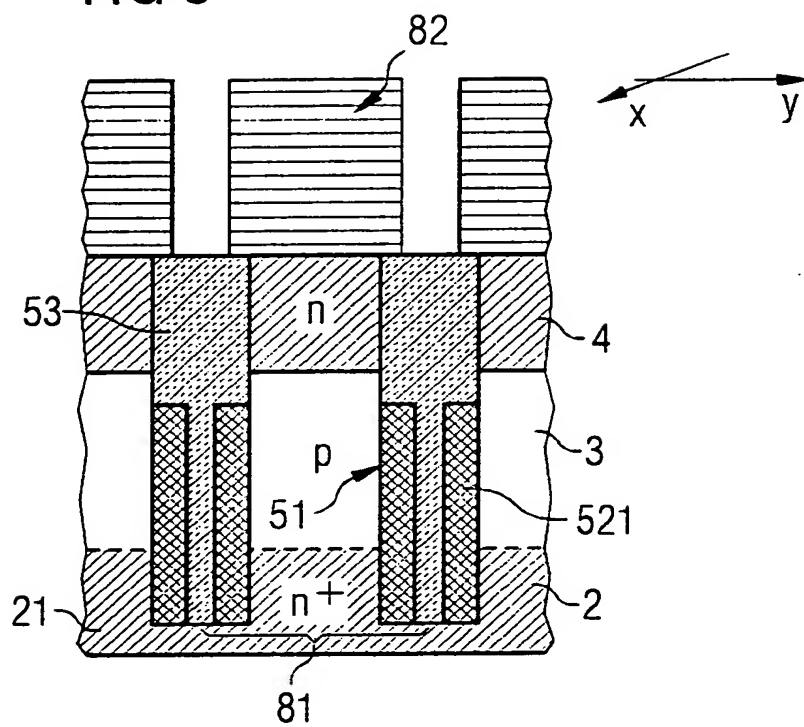


FIG 7

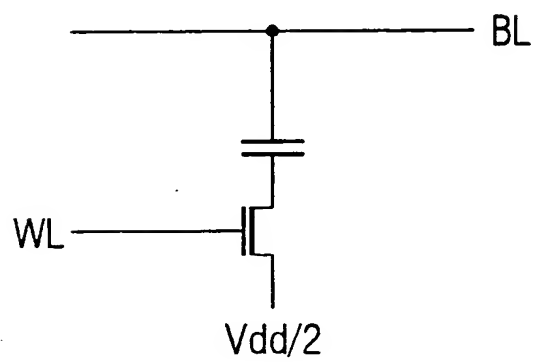


FIG 8

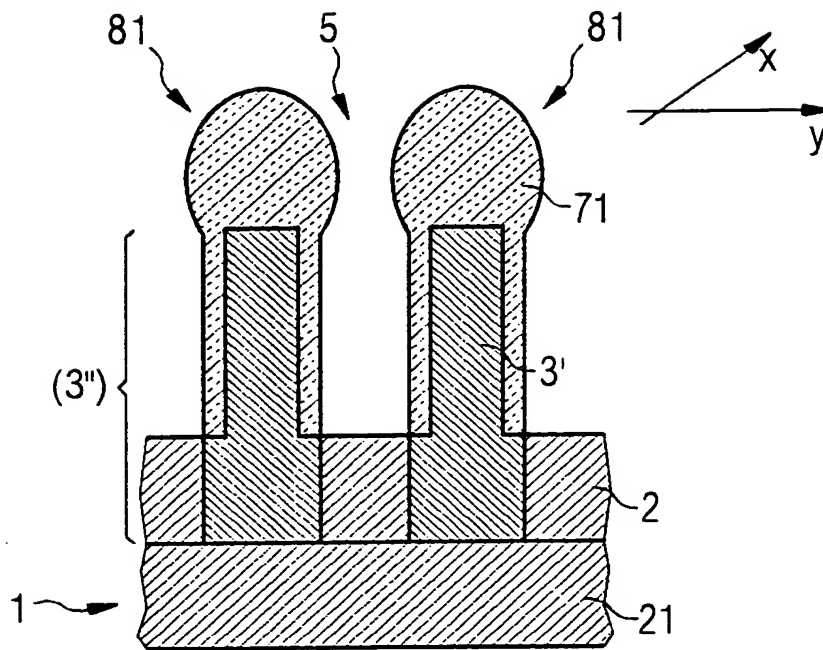


FIG 9

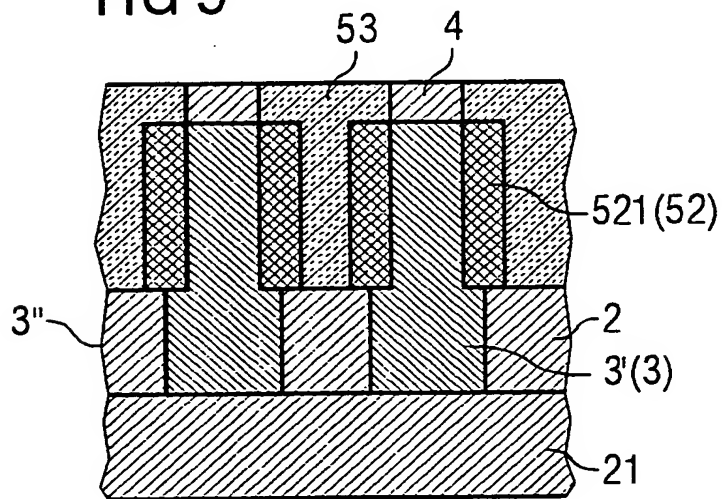


FIG 10A

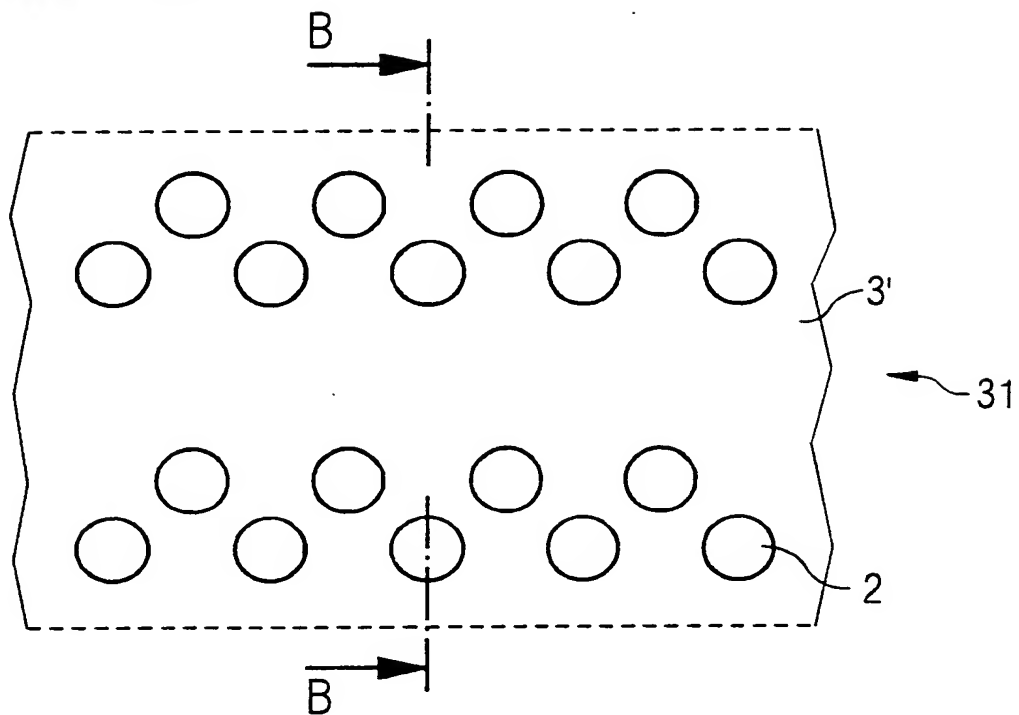


FIG 10B

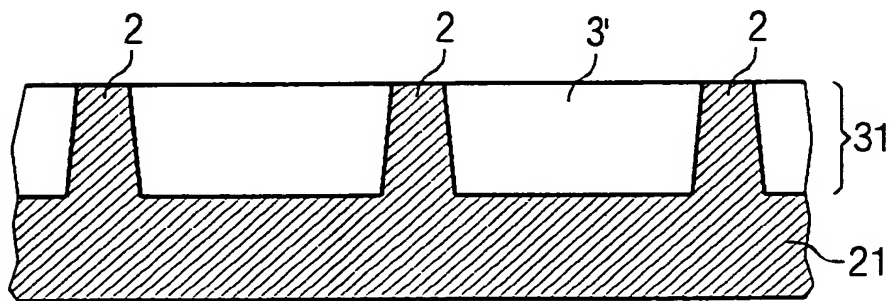


FIG 11A

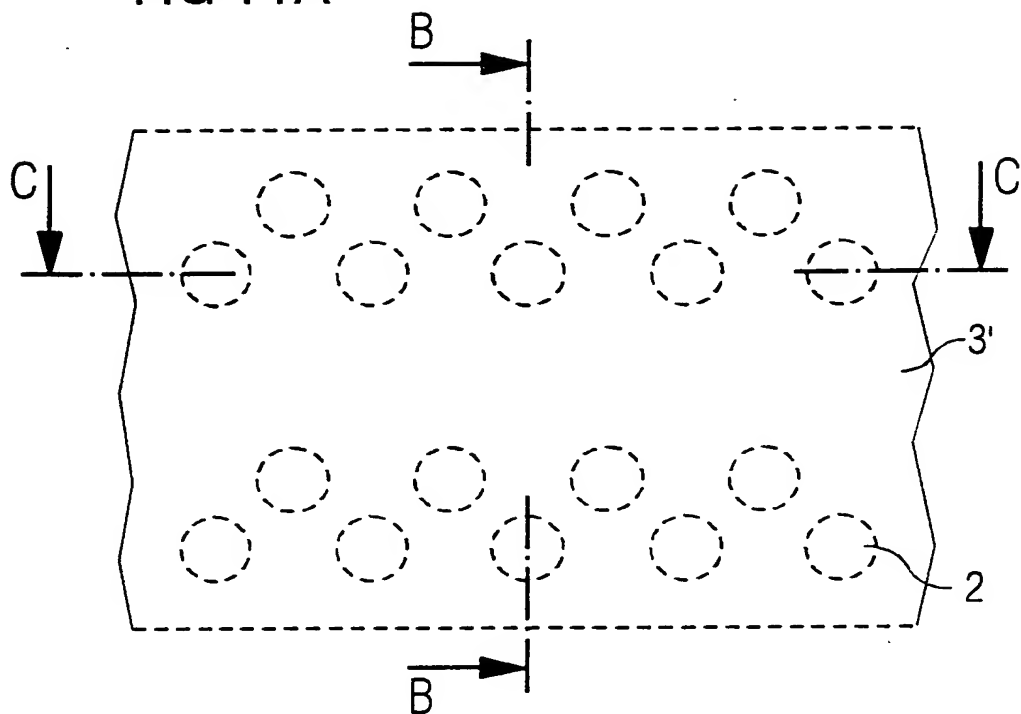


FIG 11B

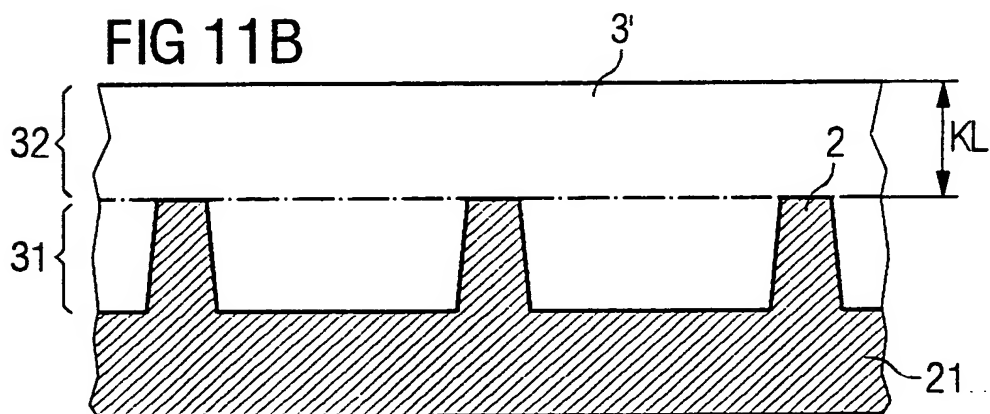


FIG 11C

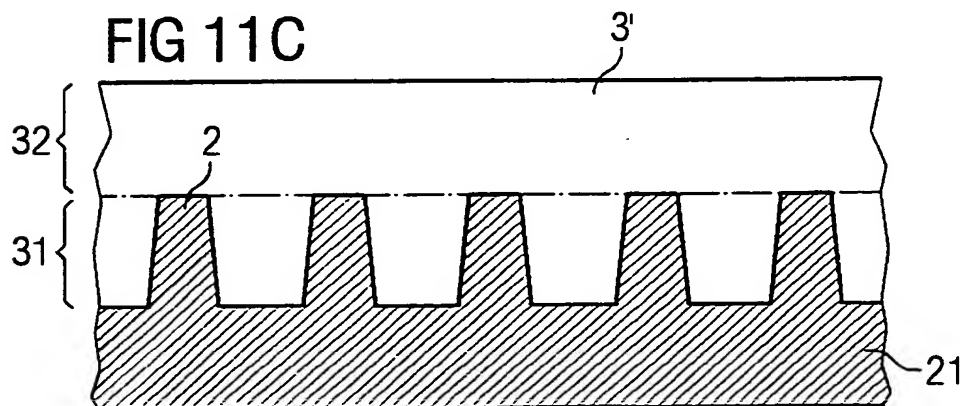


FIG 12A

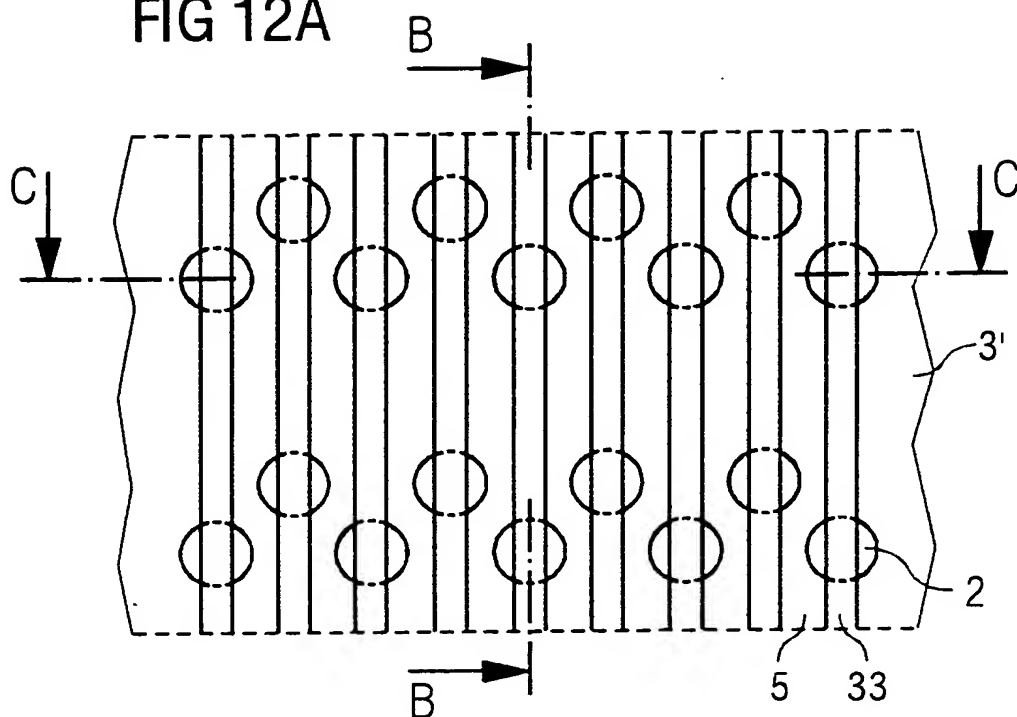


FIG 12B

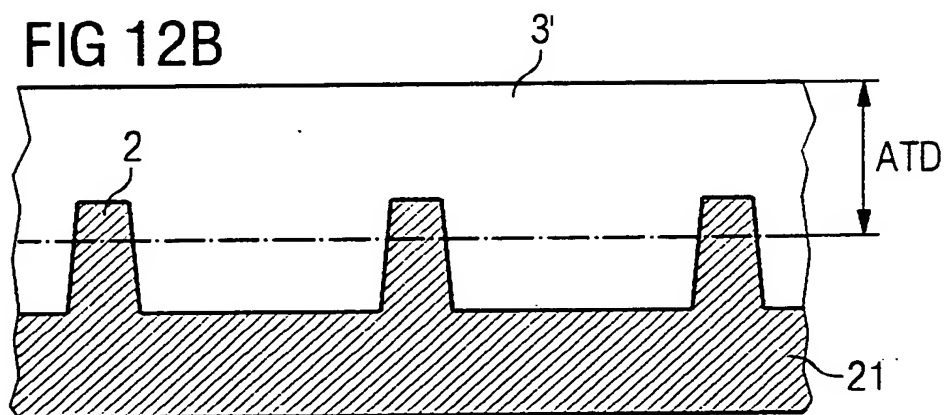


FIG 12C

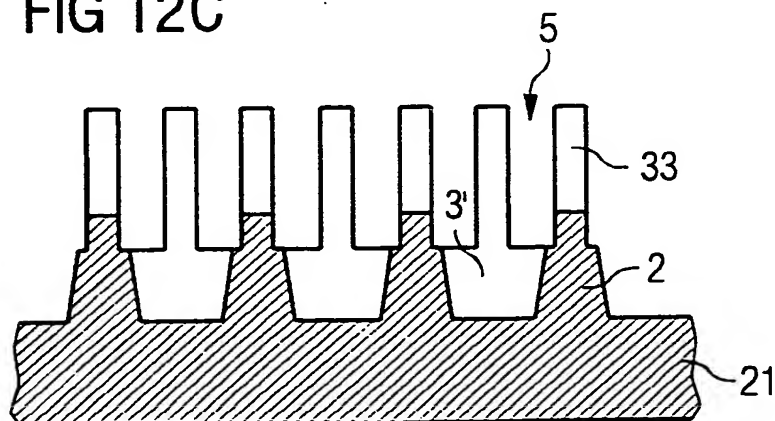


FIG 13A

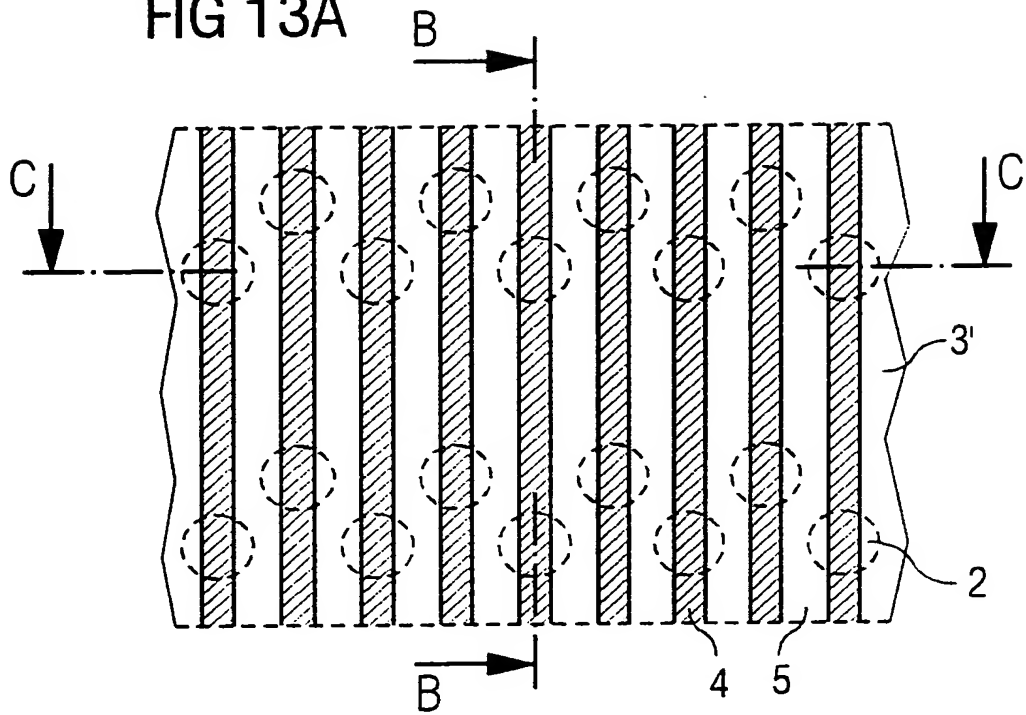


FIG 13B

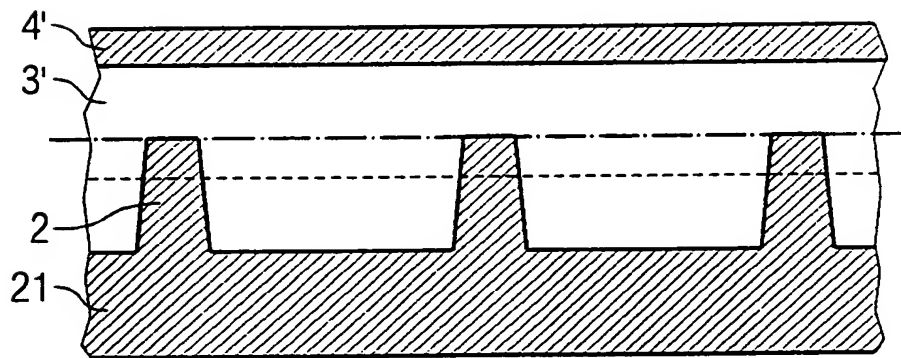


FIG 13C

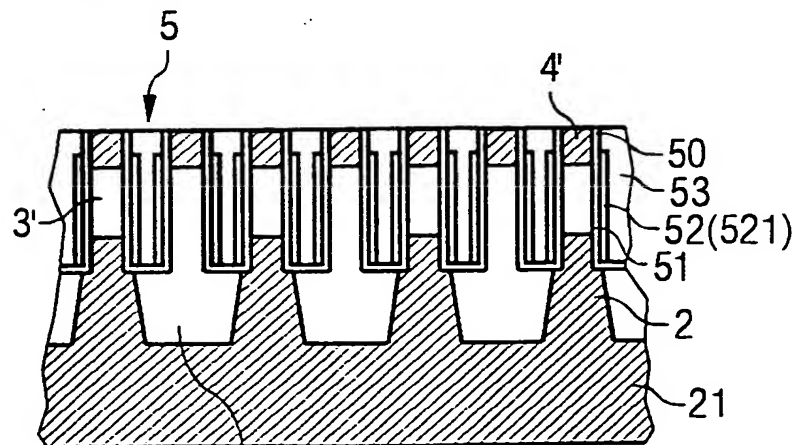


FIG 14A

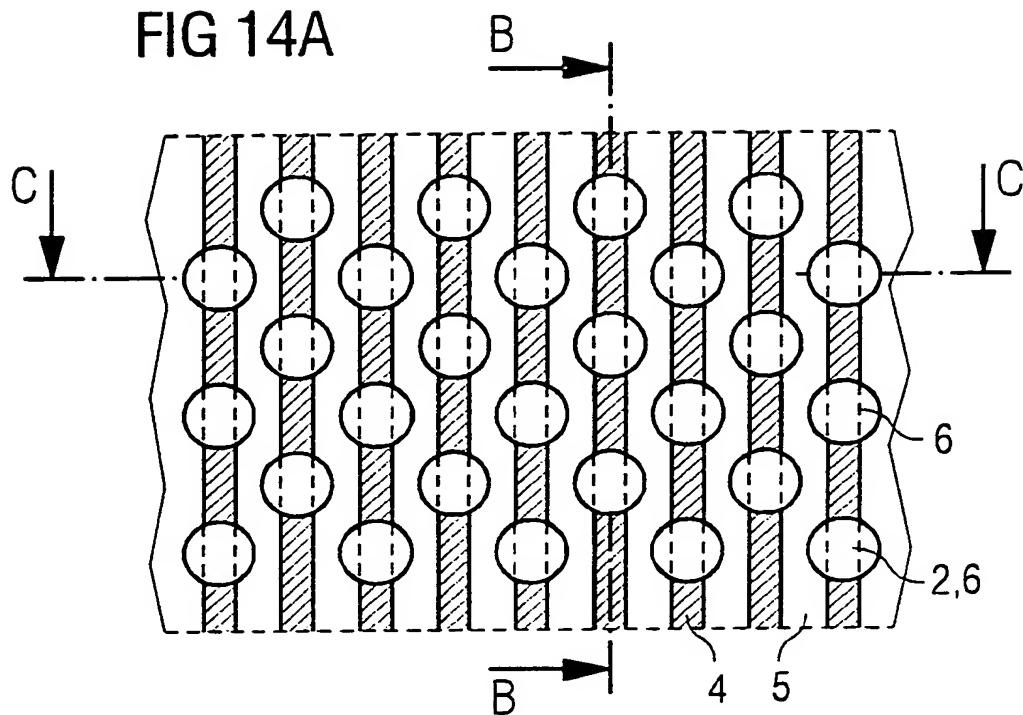


FIG 14B

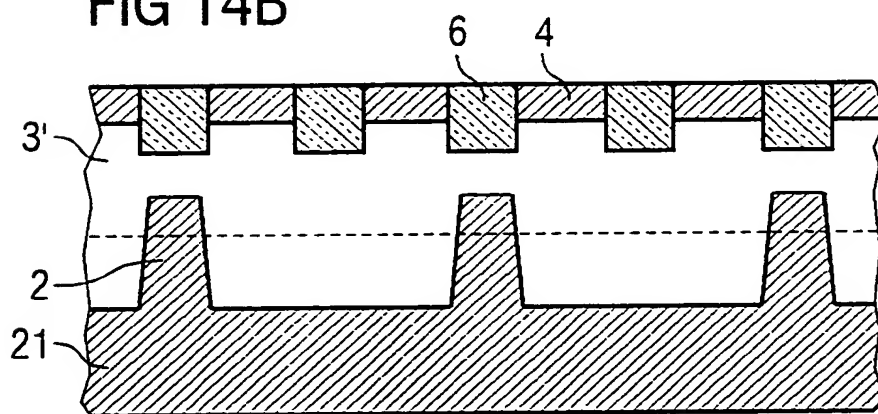


FIG 14C

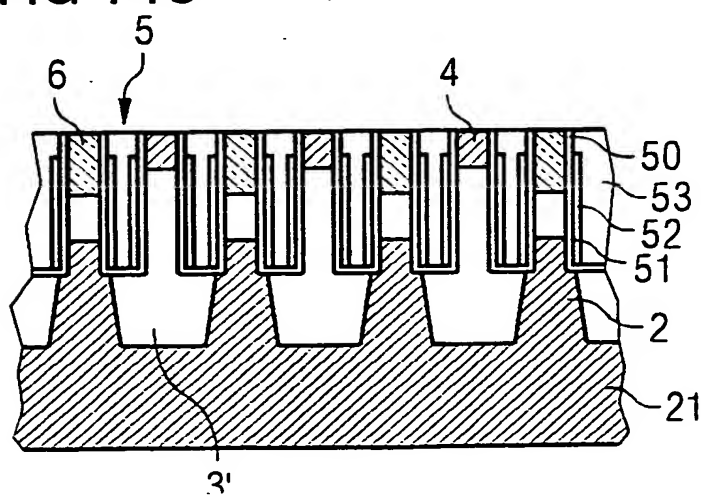


FIG 15A

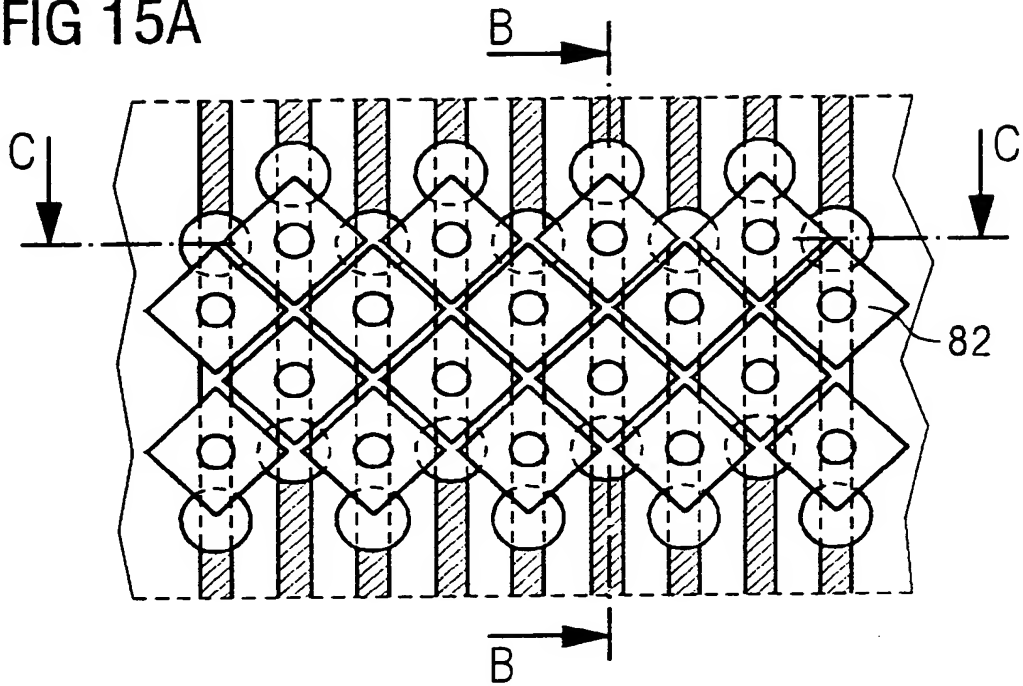


FIG 15B

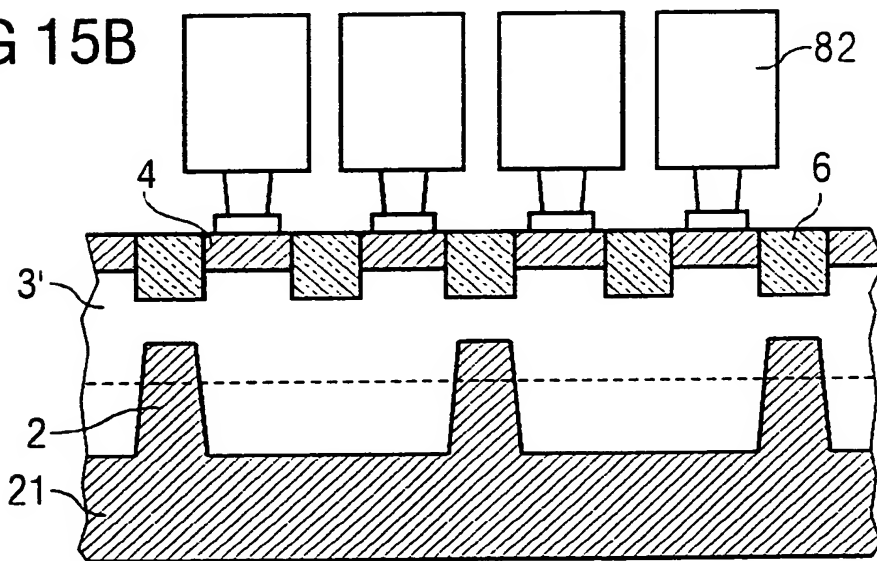


FIG 15C

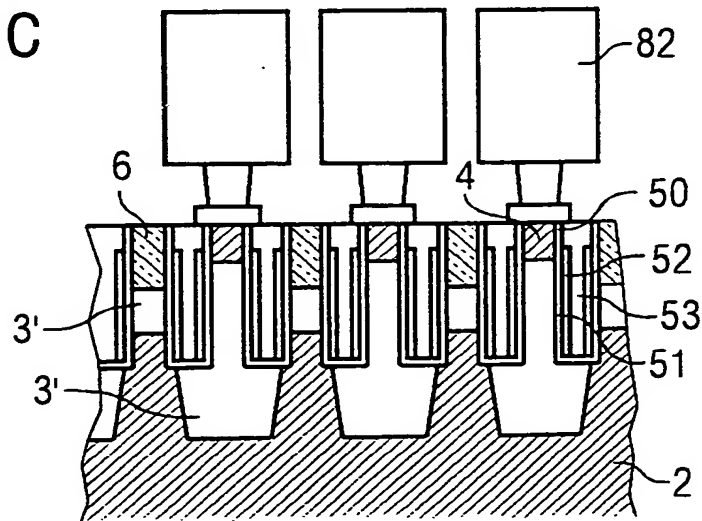




FIG 16A

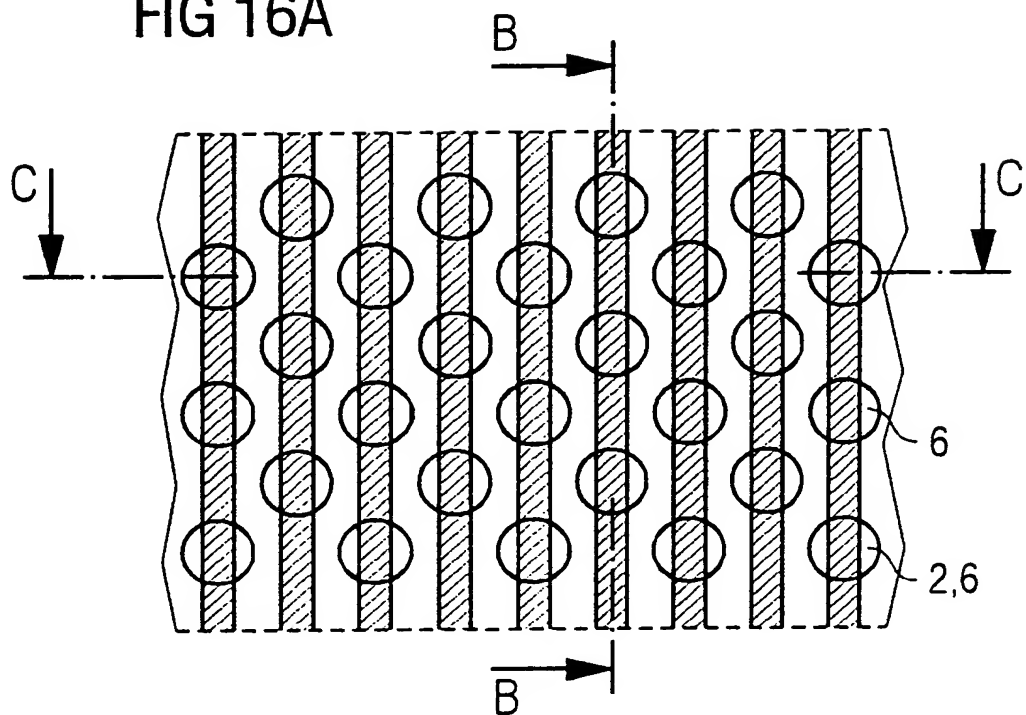


FIG 16B

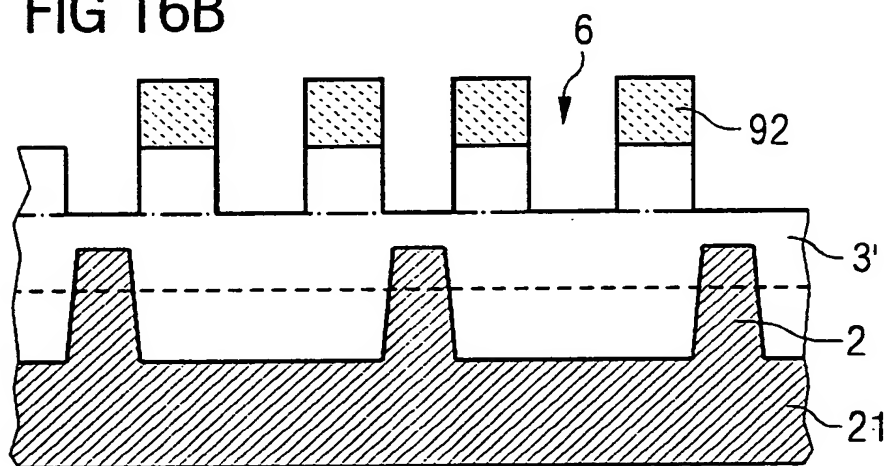


FIG 16C

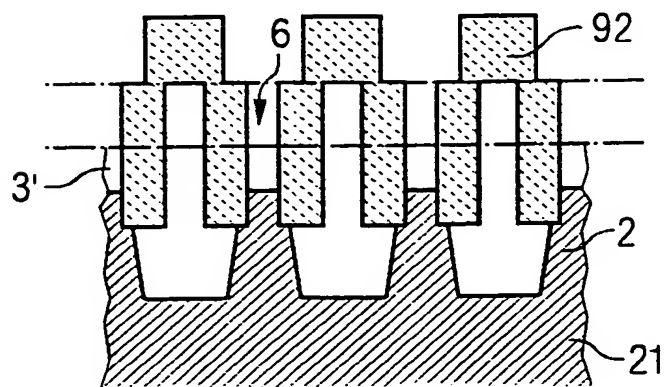


FIG 17A

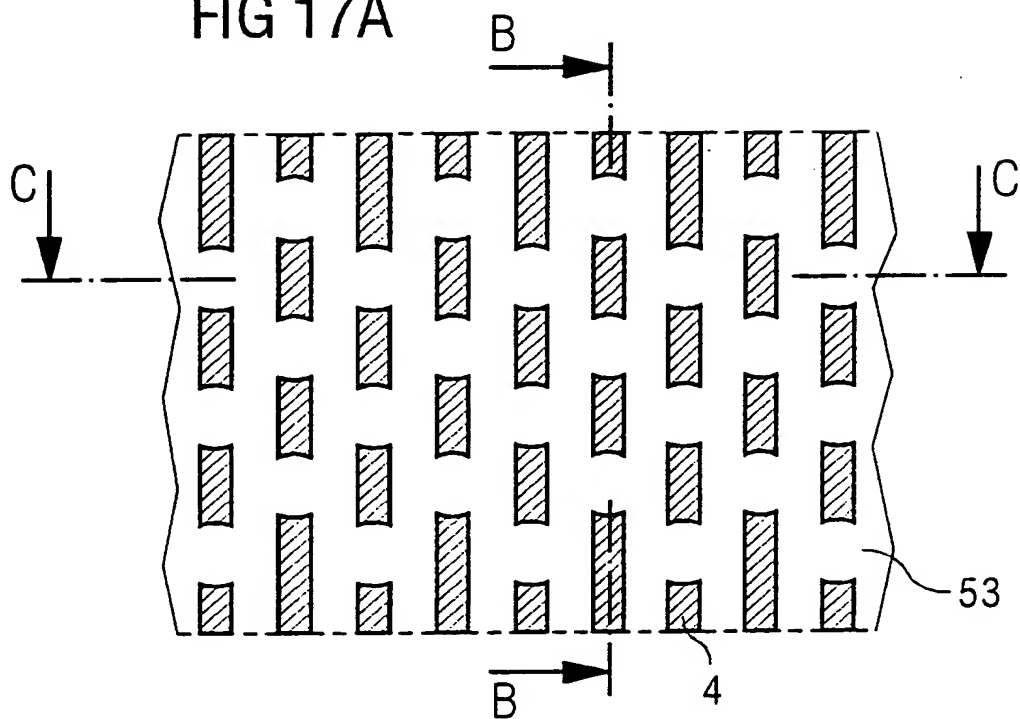


FIG 17B

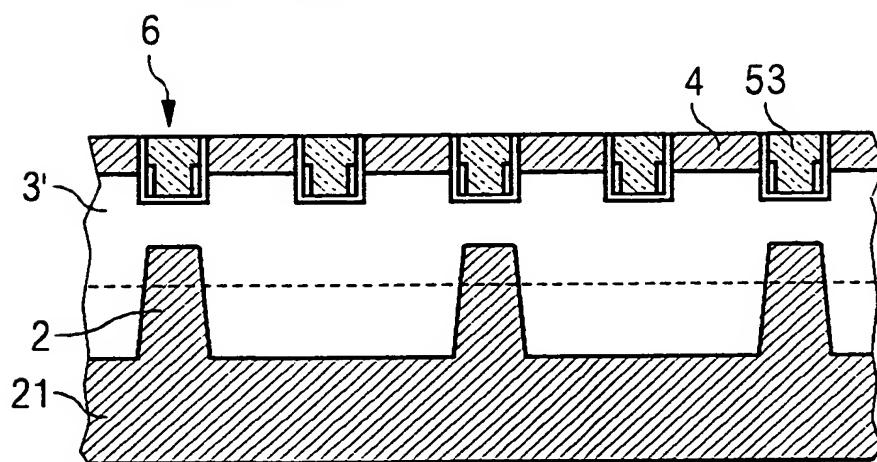


FIG 17C

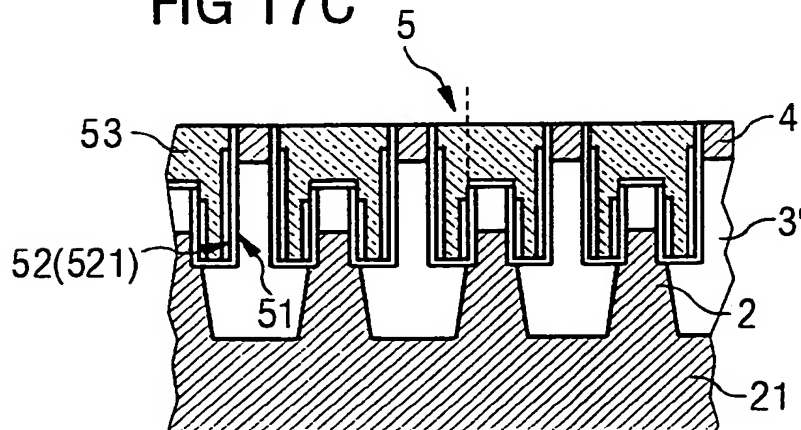


FIG 5

